

UNIVERSITÉ DE SHERBROOKE

Faculté de génie
Département de génie électrique et de génie informatique

Développement d'un procédé de gravure et de
métallisation de vias face arrière d'un substrat de
silicium destinés à la fabrication de transistors de
puissance GaN

Mémoire de maîtrise
Spécialité : Génie électrique

Faissal El Hamidi

Sherbrooke (Québec) Canada

Octobre 2019

MEMBRES DU JURY

Hassan MAHER

Directeur

Ali SOLTANI

Co-directeur

Abdelatif JAOUAD

Rapporteur

Maxime DARNON

Évaluateur

À ma famille,

REMERCIEMENTS

Le travail présenté dans cette maîtrise a été effectué à l'institut interdisciplinaire d'innovation technologique (3it) à l'université de Sherbrooke. Il n'aurait pas pu aboutir sans le soutien, l'encadrement et l'aide de plusieurs personnes que je souhaite remercier vivement.

Je tiens à remercier Monsieur Maher Hassan, Monsieur Ali Soltani, Monsieur Abdelatif Jaouad et Monsieur Maxime Darnon pour leur aide et leur encadrement tout au long de ma recherche.

Je remercie vivement aussi Mr Rachid Malek, mon ancien professeur universitaire en université Mohemmed 1^{er} à Oujda-Maroc, qui m'a bien encouragé à poursuivre mes études de maîtrise en université de Sherbrooke.

Je souhaite aussi remercier les conseils des post-doctorat, thésards et masters de mon groupe: Benjelloun Mohammed, Nedal Altaradeh et tous les autres que je n'ai pas pu citer.

Merci à toute ma famille et surtout mes parents qui m'ont encouragé pendant toute la durée de mes études. Merci à tous mes Amis pour leurs soutiens et moments inoubliables qu'on a passés ensemble dans la recherche.

Enfin, je souhaite un bon courage à toute l'équipe du groupe GaN et surtout les thésards en phase de préparation de leurs DPR.

TABLE DES MATIÈRES

CHAPITRE I : Introduction.....	1
CHAPITRE II : Généralités sur le transistor HEMT AlGaN /GaN	3
1. Structure d'un HEMT AlGaN/GaN.....	3
2. Principe de fonctionnement	5
CHAPITRE III : État de l'art sur la réalisation des vias dans le silicium	7
1. Auto-échauffement dans le transistor GaN	7
2. Apparition des TSV dans l'architecture des circuits à base de transistors	9
3. Les techniques d'interconnexion en microfabrication	10
a. Câblage filaire ou assemblage par fils.....	10
b. Le TSV	11
4. Réalisation d'un via dans le substrat de silicium	14
4.1 Introduction à la physique des plasmas	15
4.1.1 Définition	15
4.1.2 La gravure Plasma en microfabrication	15
a. La composante physique de la gravure plasma.....	16
b. La composante chimique de la gravure plasma	16
4.1.3 La synergie ions-neutres	18
4.1.4 La gravure de via par Plasma.....	19
4.2 Procédés de gravure utilisés	23
4.2.1 Le procédé de gravure Bosch.....	23
4.2.2 Procédé de gravure à base de SF ₆	27
CHAPITRE IV : Objectif du projet.....	29
CHAPITRE V : Développement des tests de gravure et de métallisation	31
1. Masque des motifs utilisés.....	31
1.1 Types de matrices de vias utilisés dans le masque	31
1.1.1 Type 1	31
1.1.2 Type 2	32
1.1.3 Type 3	33
2. Procédé de fabrication utilisé.....	34
3. Tests de gravure et de métallisation effectués	39

3.1 Détermination de la distance critique entre vias.....	39
3.2 Détermination du rapport de gravure entre motifs.....	40
3.2 Métallisation des vias	41
3.2.1 Test de métallisation par évaporation	41
3.2.2 Test de métallisation par pulvérisation DC.....	43
3.2.3 Test de métallisation par pulvérisation RF	44
4. Tests d'électroplaquage.....	45
4.1 Expérimentations réalisées	45
4.2 Résultats de remplissage en différentes densités.....	48
4.3 Discussion des résultats sur l'effet de la variation de la densité de courant.....	51
4.3.1 Impact de la densité de courant sur les formes de remplissage	51
4.3.2 Impact du facteur de forme dynamique sur la forme du remplissage.....	54
CHAPITRE VI Conclusion	57
V.II Bibliographie	59

LISTE DES FIGURES

Figure 2. 1 :Structure d'un transistor HEMT AlGa _N Ga _N Al _N sur Si, SiC ou Saphire1]	3
Figure 2. 2 : Structure en 3D d'un HEMT AlGa _N /Ga _N , Figure 2. 3 : Caractéristique de sortie IDS(V _{ds} ,V _{gs}) d'un transistor HEMT AlGa _N /Ga _N	5
Figure 3. 1 Caractéristiques de transfert d'un transistor AlGa _N /Ga _N . Sous une température de 380K à 540K [3]	8
Figure 3. 2 : Intégration tridimensionnelle des différents éléments d'un microsystème.	9
Figure 3. 3 Réalisation de connexions verticales entre 3niveaux d'un microsystème.....	10
Figure 3. 4: Exemple d'une interconnexion filaire en cuivre de 18 µm de diamètre sur un substrat organique.....	11
Figure 3. 5 : Schéma d'implantation d'une interconnexion TSV	12
Figure 3. 6: Coupe transversale d'un TSV (approche via-last) métallisé dans un module de capteur d'image (STMicroelectronics).	13
Figure 3. 7: Représentation des trois différentes approches TSV et leurs différentes étapes de procédé.	14
Figure 3. 8: Gravure physique par plasma.....	16
Figure 3. 9: Gravure chimique par plasma	17
Figure 3. 10 : Les interactions du plasma avec la surface. image tirée de [7].....	17
Figure 3. 11 : Synergie ions-neutres en gravure du silicium. image tirée de [7].....	18
Figure 3. 12 : Les différentes phases de lithographie et gravure de TSV.....	20
Figure 3. 13 : Schématisation de l'ARDE selon les dimensions des motifs.....	22
Figure 3. 14 : Le Silicium noir[7]	22
Figure 3. 15 : Descriptif des étapes lors du procédé de gravure Bosch [7]	24
Figure 3. 16: Schéma d'un réacteur de gravure ICP. image tirée de [8]	24
Figure 3. 17 : Gravure des motifs via par procédé Bosch	26
Figure 3. 18: (a)-Gravure de via par recette Deep, (b)- gravure de via avec ajustement de temps de cycle	27
Figure 3. 19: Gravure des motifs via par Plasma SF ₆ en III-V	27
Figure 4. 1 : Schéma de la disposition des TSV dans le transistor Ga _N horizontal sur substrat silicium face arrière.....	30
Figure 5.1 : Matrices de vias type 1	31
Figure 5. 2 : Extraits de matrices des vias type2 : vias répétés avec espacement variable en horizontal et en vertical.....	32

Figure 5. 3: Motifs de résolution positifs (a) et négatifs (b).....	33
Figure 5. 4: Procédé utilisé pour optimisation de la gravure de via dans le silicium	34
Figure 5. 5 : Exemple de matrices de vias au microscope optique après insolation UV à 200mj/cm ² et après développement à l’AZ400 pendant 5min.	35
Figure 5. 6 : a- Via gravé en III-V après le procédé Bosch sans strip de photomasque résine. b- Via gravé en III-V après le procédé Bosch avec strip de photo-masque résine	37
Figure 5. 7 : Profil de vias de 25um de diamètre gravés avec le procédé Bosch suivi d’une gravure isotropique au SF ₆	38
Figure 5. 8 : Résumé des minimas d’espacement entre vias qu’il faut respecter en gravure ASE39	
Figure 5. 9 : Procédé utilisé pour optimisation la couche d’accroche en vue de l’électroplaquage	41
Figure 5. 10 : 1 ^{er} Dépôt de 300 nm de Ti par évaporation dans des via de 25um.	42
Figure 5. 11 : 2 ^{ème} Dépôt de 300nm de Ti dans des via de 25um.	42
Figure 5. 12 : Via de 25um métallisé par pulvérisation DC dans la salle blanche du LNN : épaisseur mesurée en surface de 186 nm.	43
Figure 5. 13 : Test de métallisation par pulvérisation en IMDQ: matrice de via diamètre de 10um d’épaisseur.	44
Figure 5. 14 : Schéma d’un banc d’électro-plaquage de vias dans le silicium.....	45
Figure 5. 15 : Prétraitement sous vide de l’échantillon de silicium.....	46
Figure 5. 16 : a- Représentation schématique d’un dépôt de métal sur des motifs de vias de 25um sans prétraitement sous vide. b- couche d’accroche du Cu non électroplaquée à cause du vide.....	47
Figure 5. 17 : Coupe transversale du remplissage d’un TSV pour différentes densités de courant : (a)10mA/cm ² ,(b) 15mA/cm ² ,(c) 20mA/cm ²	48
Figure 5. 18 : Visualisation du cuivre déposé dans des via de 25um avec une densité de 10mA/cm ² : (a)-20min (b)-40min, (c)-50min, (d)-90min, (e)-120min	50
Figure 5. 19 : Visualisation du cuivre déposé dans des via de 25um avec une densité de 15mA/cm ² :	50
Figure 5. 20 : Visualisation du cuivre déposé dans des vias de 25um avec une densité de 20mA/cm ² : (a)-30mn(b)-40mn, (c)-50mn, (d)-60mn, (e)-70mn	51
Figure 5. 21 : Vias rempli de cuivre électrodéposé sous un même niveau de charge électrique et sous différentes densités électriques	52
Figure 5. 22 : Schématisation d’un via pour le calcul du coefficient de remplissage et du rapport d’aspect dynamique.	52
Figure 5. 23 : représentation schématique des coefficients de remplissage des via sous différentes densités de courant.....	53
Figure 5. 24 : Impact du rapport d’aspect dynamique sur le taux de dépôt local. (a)- rapport d’aspect dynamique en fonction de temps de déposition. (b)- variation de taux de dépôt au sommet et au fond des parois du via.	55

LISTE DES TABLEAUX

Tableau 5. 1: Les types des matrices et espacements entre vias	31
Tableau 5. 2 : Valeurs d'espacement entre via pour chaque diamètre de vias	32
Tableau 5. 3 : Valeurs des paramètres de la recette Deep utilisée dans ASE.....	36
Tableau 5. 4 : Valeurs des paramètres de gravure III-V dans la recette utilisée	36
Tableau 5. 5 : Minimas d'espacements entre vias à respecter en utilisant la gravure ASE.....	39
Tableau 5. 6 : Résumé des rapports de vitesses de gravure (à l'ASE et au III-V) réalisé entre des motifs de petites tailles (diamètre 05-10-25 μm) et un motif de grande taille (100 μm).	40

RÉSUMÉ

Les transistors à base de GaN sont devenus plus demandés et plus adaptés pour l'application dans le domaine d'électronique de puissance grâce aux propriétés électriques et thermiques du matériau du GaN.

Le recourt à la miniaturisation a impliqué l'implantation des composants micro-électroniques dans des nouvelles architectures développées verticalement pour des intérêts de minimisation de surface et de coût de fabrication. Les trous via dans le silicium (TSV) ont constitué alors l'élément clé de l'architecture 3D adaptée pour les nouveaux circuits micro-électroniques. Les vias assurent une double fonction : la connexion verticale et l'augmentation de dégagement de chaleur. Ces avantages sont exploités pour la connexion des transistor GaN à base de silicium.

La réalisation des TSV se fait principalement par une gravure sèche par plasma. Différents procédés de gravure des via sont expérimentés partout dans les laboratoires de recherche en vue de leur métallisation idéale. Le plasma utilisé souvent pour ce fait est principalement le plasma fluoro-carbonné SF₆. Celui-ci présente un élément efficace pour réaliser la forme verticale des trous via dans le silicium.

On exige toujours avoir la forme la plus adéquate des via pour permettre un remplissage métallique sans défauts selon le coût et la disponibilité d'équipement disponibles dans le laboratoire de recherche. On prévoit des via gravés dans la face arrière du silicium du transistor GaN ayant une forme verticale et pentes positives pour bien s'adapter aux techniques de métallisation disponibles dans le laboratoire de recherche de l'institut 3iT de l'université de Sherbrooke.

L'objectif de ce projet est de trouver un procédé de gravure qui permet de répondre aux exigences de forme pour permettre le remplissage métallique idéal. Le procédé de remplissage sera aussi mis en étude et expérimentation comme deuxième étape du procédé global.

Mots-clés : GaN, Gravure sèche, Plasma, Via, TSV.

CHAPITRE I : Introduction

La microélectronique sert à diverses applications dont les énergies renouvelables, les télécommunications, l'automobile etc.... Depuis longtemps, la majorité des dispositifs en microélectronique sont fabriqués avec des matériaux à base de silicium. Ce matériau étant un semi-conducteur (SC) abondant donc de faible coût, disponible sur de grande taille et présente des propriétés physiques intéressantes. Il a été et est toujours le SC le plus utilisé, c'est pourquoi la communauté scientifique dispose d'une très vaste expérience en procédés de micro-nano fabrication de dispositifs électroniques sur ce matériau. Cependant, son utilisation dans des applications de puissance présente de très nombreux défis à cause de ses propriétés thermiques limitées ainsi que sa faible tension de claquage. Une solution alternative serait d'utiliser des matériaux semiconducteurs présentant de meilleures propriétés physique et thermique nécessaires aux applications de puissance. Nous avons opté pour les semi-conducteurs à grand gap tel que le GaN (nitrure de gallium). Aussi, pour le but de réduire les coûts de fabrication et satisfaire aux besoins de la densification des transistors dans les puces, de nouvelles architectures de conception et d'interconnexion des composants (y compris les composants à base de GaN) ont connu le jour. Des architectures circuits 2D voire 3D à base d'empilements verticaux sont développées, permettant ainsi de réduire les longueurs d'interconnexions et pallier aux problèmes d'occupation de grandes surfaces. Pour y parvenir, il nous faut donc développer et maîtriser l'étape de fabrication de TSV (Through Silicon Via). Ce dernier a un double rôle : celui d'assurer l'interconnexion entre les niveaux empilés ainsi que de participer à une meilleure dissipation thermique du composant actif (transistor à base de GaN sur substrat silicium). Dans les réalisations des TSV, le procédé Bosch constitue une clé pertinente et fiable pour créer la forme verticale avec un grand rapport d'aspect. Toutefois, le recouvrement par les couches d'accroche du métal devrait tapisser complètement toutes les surfaces intérieures et surtout les flanc (scalopps) créés par le procédé Bosch. Une telle réalisation est faisable mais nécessite des techniques de métallisation plus précise -et plus couteuse- afin d'atteindre les profondeurs et largeurs désirées, et parfois avec une échelle de couches atomiques comme avec la technique de l'ALD. L'idée qui en découle alors est d'essayer la réalisation d'un via métallisé tout en se servant les machines et les techniques les plus disponibles dans le laboratoire de recherche et avec le moindre de coût possible. Mon projet

de maîtrise s'inscrit dans cette thématique dont l'objectif est de développer un procédé de gravure plasma de TSV fiable, reproductible, robuste pour une métallisation moins coûteuse. La seconde étape qui suit cette gravure consiste à trouver un procédé permettant de remplir complètement ces TSV avec un métal. En résumé, ce projet doit répondre à la question de recherche suivante : Comment peut-on réaliser avec une gravure plasma un TSV d'une forme verticale ajustée pour être adéquate avec les techniques de dépôt de métal disponibles dans le laboratoire de recherche de l'institut 3iT, et quel sera le procédé de métallisation le plus adapté pour remplir les vias complètement et sans défaut?

Les premières sections de ce mémoire décrivent brièvement l'intérêt de ces TSV dans un transistor HEMT GaN, son principe de fonctionnement et les effets néfastes de l'auto-échauffement du composant actif pour des applications de puissance. La suite de ce paragraphe présente l'intérêt de ces *vias* pour l'intégration 2D/3D de circuits électroniques à base de GaN.

La seconde partie présente une description générale de la gravure plasma et l'essentiel des paramètres techniques permettant la réalisation de TSV au travers d'un substrat de silicium. Les procédés de gravure spécifiquement utilisés en salle blanche du laboratoire LNN y sont rapidement rappelés.

La troisième partie de ce rapport est consacrée à décrire l'objectif qui m'a été assigné pour ce projet de recherche de maîtrise, celui concernant les TSV à réaliser en face arrière du substrat de silicium sur une hétérostructure GaN.

La quatrième partie est purement expérimentale. Les différents tests et les résultats obtenus par les différentes recettes de gravure des *vias* dans le silicium y sont décrits. D'autres résultats de dépôt de couche d'accroche sont présentés. Les résultats de l'électroplaquage sont indiqués ensuite et discutés à la fin du mémoire comme objectif à atteindre. Différentes densités de courant de remplissage ont été expérimentées. La meilleure densité qui présente un remplissage complet sans défaut a été obtenue.

Pour information, ce projet de recherche a été réalisé dans le groupe GaN au sein du laboratoire de Nanofabrication et Nanocaractérisation (LNN) de l'institut interdisciplinaire d'innovation technologique de l'université de Sherbrooke (3iT).

La couche d'AlGaN : elle a une bande interdite élevée, et permet la formation du gaz d'électrons bidimensionnel à l'interface avec la couche de GaN grâce aux effets des différentes polarisations (spontanée et piézoélectrique)[2].

l'espaceur : C'est quelques couches atomiques d'un matériau SC à grand gap, placé de manière optionnel en amont du 2DEG (entre couches AlGaN et GaN) de manière à assurer un meilleur confinement des électrons dans le puit et d'augmenter ainsi la mobilité électronique[2].

La couche tampon de GaN : C'est une couche de GaN avec un plus petit gap. À son interface supérieure (canal), elle accueille le gaz bidimensionnel d'électrons 2DEG. Il est à noter que la meilleure qualité de cette couche est souhaitée afin d'avoir une mobilité électronique la plus élevée.

La couche de nucléation : C'est une couche située entre le substrat et la couche de GaN. Elle permet de limiter la propagation des dislocations dans toute la structure qui sont dues aux désaccords de paramètre de maille et de la différence des coefficients de dilatation thermique entre le GaN et le substrat d'accueil.

Le substrat : C'est la partie qui sert de support sur lequel se fait la croissance des autres couches. On utilise généralement comme substrat : le silicium Si (111), le carbure de silicium (SiC), le saphir (Al₂O₃) et le GaN massif. Le choix entre ces matériaux est limité par différents paramètres comme la conductivité thermique de substrat, le coût, le désaccord de maille avec la couche à croître et le coefficient de dilatation thermique.

Le silicium représente un substrat d'intérêt pour la croissance de GaN vu sa conductivité thermique relativement acceptable, son prix qui est très compétitif et aussi sa disponibilité en taille. Le problème qu'on rencontre souvent dans la croissance des couches de GaN sur Si est généralement relié à la densité de défauts élevés (dislocations, fissures) due à la différence de paramètre de maille (17%) et la différence des coefficients de dilatation thermique.

Le saphir se caractérise par un coefficient de dilatation thermique proche à celui de GaN, un désaccord de maille inférieur à celui de Si (l'ordre de 14% avec le GaN). Il est disponible avec un coût relativement faible. L'inconvénient est sa mauvaise conductivité thermique qui peut causer

un échauffement important lors du fonctionnement du composant dans des applications de puissance.

Le carbure de silicium (SiC) est plus convenable pour la croissance du GaN vu son excellente conductivité thermique par rapport aux autres substrats. Il présente aussi un désaccord de maille de 3% avec le GaN. Son coût élevé reste un problème majeur pour son utilisation comme support de GaN.

2. Principe de fonctionnement

Le principe de fonctionnement des transistors HEMTs se base sur la formation d'un gaz d'électrons bidimensionnel à l'interface AlGaN/GaN dû aux polarisations spontanée et piézoélectrique[2]. Ainsi, un courant circule entre le drain et la source commandé par la tension de grille. En variant la tension V_{gs} , on peut contrôler la densité des porteurs libres (électrons), et par la suite on contrôle l'intensité de courant qui va circuler entre les deux contacts ohmiques de drain et de source.

La figure 2.3 présente la caractéristique de sortie courant-tension $I_{DS}(V_{DS}, V_{GS})$ d'un transistor HEMT AlGaN/GaN.

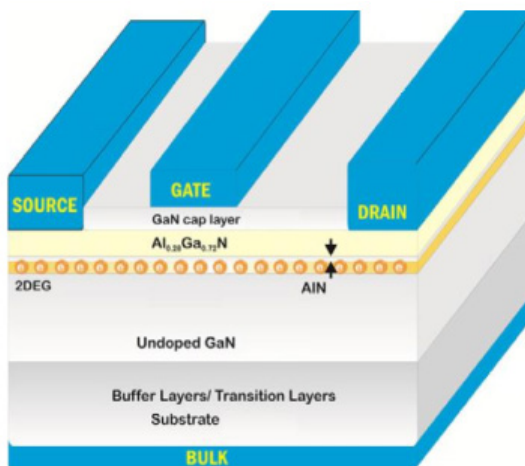


Figure 2. 2 : Structure en 3D d'un HEMT AlGaN/GaN
Tirée de [2]

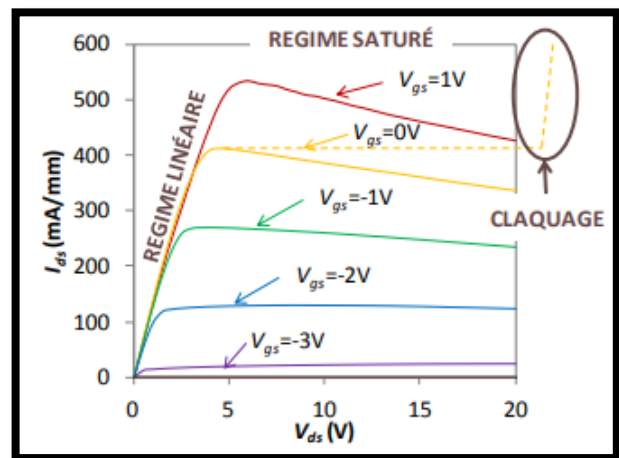


Figure 2. 3 : Caractéristique de sortie
 $I_{DS}(V_{DS}, V_{GS})$ d'un HEMT AlGaN/GaN.[2].

Pour une valeur fixe de la tension de grille V_{GS} (supérieur à la tension de seuil), le courant I_{DS} augmente suivant l'augmentation de la tension V_{DS} . On constate deux régimes de variation du courant I_{DS} . Un régime linéaire (ohmique) et un régime de saturation. Pour des faibles tensions V_{DS} , le courant augmente de façon linéaire jusqu'au point de saturation. À partir de ce point, il reste quasiment constant indépendamment de la tension V_{DS} appliquée (c'est le régime de saturation).

La diminution de la tension V_{GS} vers des valeurs négatives a comme effet la diminution du courant I_{DS} jusqu'à la désertion du canal pour une tension déterminée (tension de pincement) V_p (**voir fig. 3**). C'est la tension limite à laquelle correspond une densité d'électrons nulle dans le gaz 2D [3].

CHAPITRE III : État de l'art sur la réalisation des vias dans le silicium

Avant d'entamer les TSV, on va procéder dans la section suivante par citer la caractéristique de l'autoéchauffement du transistor GaN. C'est un phénomène interne du dispositif GaN relié au confinement d'énergie dans le canal d'électron. Il peut dégrader la performance du transistor, d'où l'intérêt des connexions vias pour diminuer l'effet de la chaleur sur les paramètres du transistor. D'autre part, il est pertinent de noter l'importance de la miniaturisation comme axe principale du contexte de l'apparition des TSV. Le recourt à la miniaturisation a mené les chercheurs à l'exploration et l'exploitation du rôle des connexion vias verticales dans la densification des composants micro-électroniques dans les wafers. De nouvelles architectures étaient ainsi développées avec des composants basés sur l'utilisation des via métallisés au lieu des connexion filaires comme sera détaillé par la suite.

1. Auto-échauffement dans le transistor GaN

Pour des applications de puissance, l'échauffement des transistors devient très important au point qu'il engendre un excès d'énergie dans le cristal, ce qui augmente les amplitudes de vibrations du réseau cristallin. Ces vibrations présentent un obstacle au libre parcours des électrons dans le canal 2DEG; ainsi elles réduisent la mobilité des porteurs libres et dégradent les performances du dispositif. L'influence sur la mobilité des électrons se traduit par la diminution des courants $I_{ds}(V_{ds})$ et la décroissance de la transconductance g_m du dispositif. Le transistor HEMT est donc limité là par son autoéchauffement ainsi que de la température externe. Les travaux de [Nuttinck et al., 2003][3] ont démontré une dégradation irréversible des caractéristiques I-V après augmentation de la température à 540K, ce qui se traduit par un décalage de V_{th} et de g_m .

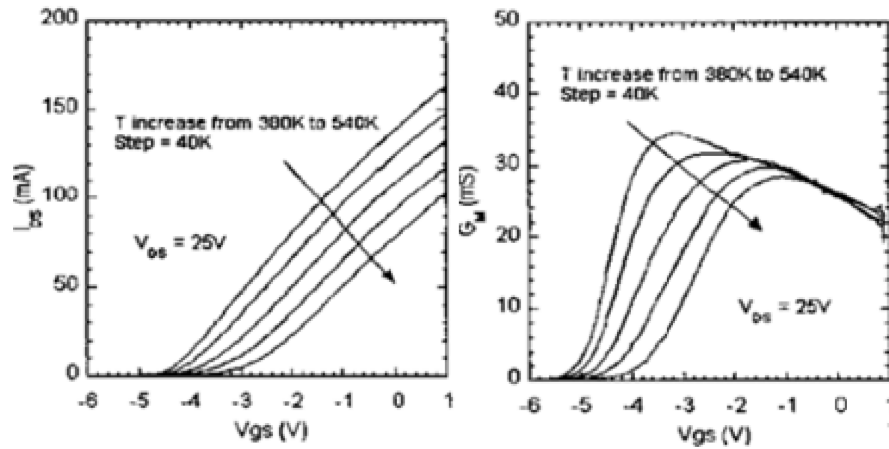


Figure 3. 1 Caractéristiques de transfert d'un transistor AlGaIn/GaN. Sous une température de 380K à 540K [3]

On conclut que le fonctionnement d'un HEMT à haute température accentue les phénomènes de dégradation du dispositif, ce qui implique la nécessité d'optimiser tous les éléments qui interviennent aux flux de la chaleur dans la structure. Il nous faut donc penser à une bonne gestion thermique du composant par un développement des procédés de fabrication technologiques adaptés aux conditions d'applications en électronique de puissance.

Dans la littérature, plusieurs expérimentations et études ont été réalisées afin d'améliorer les propriétés thermiques des substrats du silicium, carbure de silicium ou du saphir[1]. Ainsi, certaines études ont étudié la possibilité d'augmenter la dissipation de la chaleur du substrat du transistor GaN au moyen de vias. Une étude réalisée par [Sang Choon Ko et Nam][4], dans laquelle ils démontrent que le métal de remplissage métallique des vias à travers le substrat d'un transistor GaN permet d'abaisser la température du dispositif. Grâce à l'intégration de connexions métalliques à travers un substrat de saphir sur lequel un transistor AlGaIn/GaN HFETs est réalisé, ils pouvaient mesurer une température maximale du canal d'électrons de 150°C par rapport à une température maximale de 260°C pour un transistor sans vias.

Cet effet d'évacuation de la chaleur ne sera pas analysé ou étudié en détail dans ce mémoire. Toutefois, ma recherche a pour but de développer un procédé d'intégration des vias dans le substrat de silicium du transistor GaN qui serait adopté pour l'ensemble de notre groupe de recherche. Les vias qui seront réalisés pourraient être une solution à faible coût pour aider à la gestion thermique d'un transistor HEMT AlGaIn/GaN.

2. Apparition des TSV dans l'architecture des circuits à base de transistors

La technologie des vias est devenue maintenant un élément clé dans les architectures de circuits basés sur les transistors MOS ou les circuits englobant les transistor GaN destinés aux applications de puissance.

Depuis l'apparition des circuits intégrés, la micro- puis la nanotechnologie, exaltées par une concurrence internationale, ont permis le développement de technologies révolutionnaires. On peut citer, par l'exemple, les mémoires, les unités logiques et arithmétiques, les télécommunications, les amplificateurs RF, etc...

Des architectures solutions ont vu alors le jour et surtout notamment l'intégration 2D et l'intégration tridimensionnelle 3D pour la conception de circuits. L'intégration 3D consiste principalement à réaliser l'empilement de plusieurs puces de silicium les unes sur les autres par des connexions verticales.

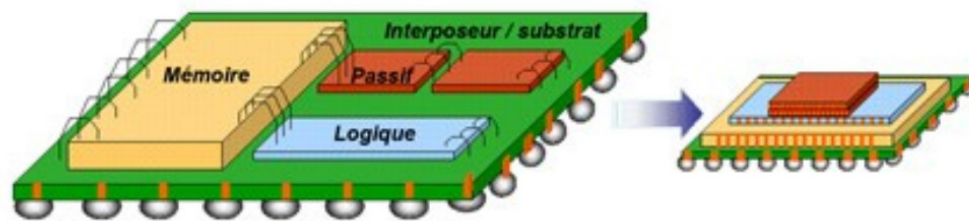


Figure 3. 2 : Intégration tridimensionnelle des différents éléments d'un microsystème. Image tirée de [5]

Ceci a été rendu possible grâce à la technique de via TSV (Through Silicon Via), cet élément de base technologique destiné à remplacer l'interconnexion ordinaire par fil.

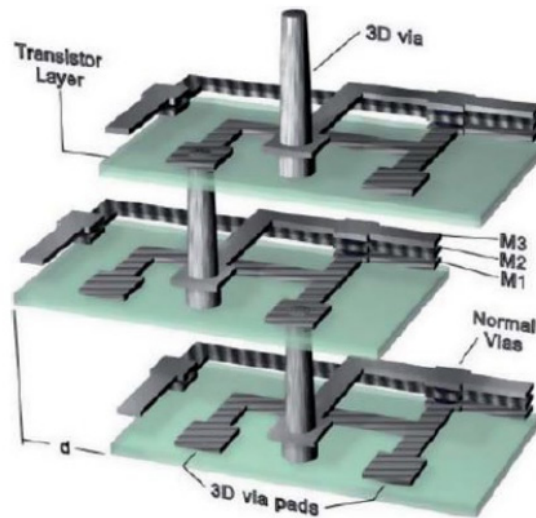


Figure 3. 3 Réalisation de connexions verticales entre 3niveaux d'un microsystème. Image tirée de [5]

Avec la configuration tridimensionnelle, on a pu alors intégrer les fonctions d'un circuit sur la verticale en réduisant ainsi significativement la surface occupée par les composants.

3. Les techniques d'interconnexion en microfabrication

a. Câblage filaire ou assemblage par fils

La première technique d'interconnexions électriques, réalisée au niveau 1 du packaging dans les architectures 2D, est le câblage filaire (wire bonding). La liaison par fil est la plus ancienne, la plus répandue dans l'industrie de la microélectronique.[6]

Le fil utilisé dans la liaison filaire est généralement constitué d'or (Au) ou d'aluminium (Al) alors que la liaison filaire en cuivre a commencé à s'intégrer dans la fabrication de SC, grâce à son coût très faible par rapport aux fils en or, sa meilleure conductivité thermique et électrique, et aussi sa rigidité par rapport au fil d'or.

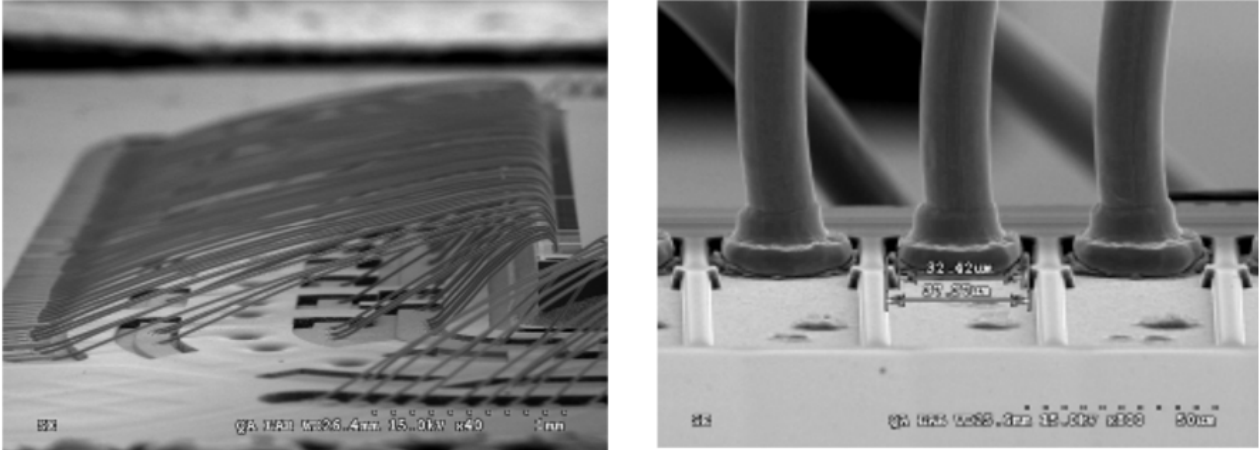


Figure 3. 4: Exemple d'une interconnexion filaire en cuivre de $18\ \mu\text{m}$ de diamètre sur un substrat organique. Les plots de connexion sont situés à la périphérie de la puce. image tirée de[6]

Plusieurs contraintes techniques, pratiques et de coût imposent de repenser les interconnexions filaires par des liaisons verticales. En effet, la réalisation de ces interconnexions fil par fil, induit un temps de fabrication important, donc un coût élevé. Les fils occupent une large surface au niveau de la périphérie du circuit intégré ce qui limite la densification des composants dans le circuit. D'autre part, le prix des fils d'or ne cesse d'augmenter. Le cuivre présente alors un avantage pour les interconnexions. Cependant, ce dernier est beaucoup plus dur que l'Au, ce qui nécessite une liaison plus solide pour la connexion, et cela peut induire un dommage au plot de connexion au cours du procédé. De nombreuses études ont été réalisées dans le but de l'optimisation des paramètres de liaison et de l'amélioration de la conception des connexions de Cu sans défaut.

b. Le TSV

L'intégration 3D est généralement basée sur l'assemblage de deux technologies innovantes : les interconnexions sous formes de microbilles (bumps) et les piliers de cuivre associés à leurs TSV. On définit le TSV comme étant une connexion électrique entre deux faces d'un interposeur d'empilement ou d'un composant[6]. Elle est électriquement isolée du substrat par une couche d'isolant. Le via est effectué par une gravure plasma à base de gaz fluorés ou fluoro-carbonés dans du silicium. Cette technologie TSV est considérée comme une étape fondamentale dans la réalisation d'un empilement 3D ou pour une meilleure gestion de la thermique dans un circuit.

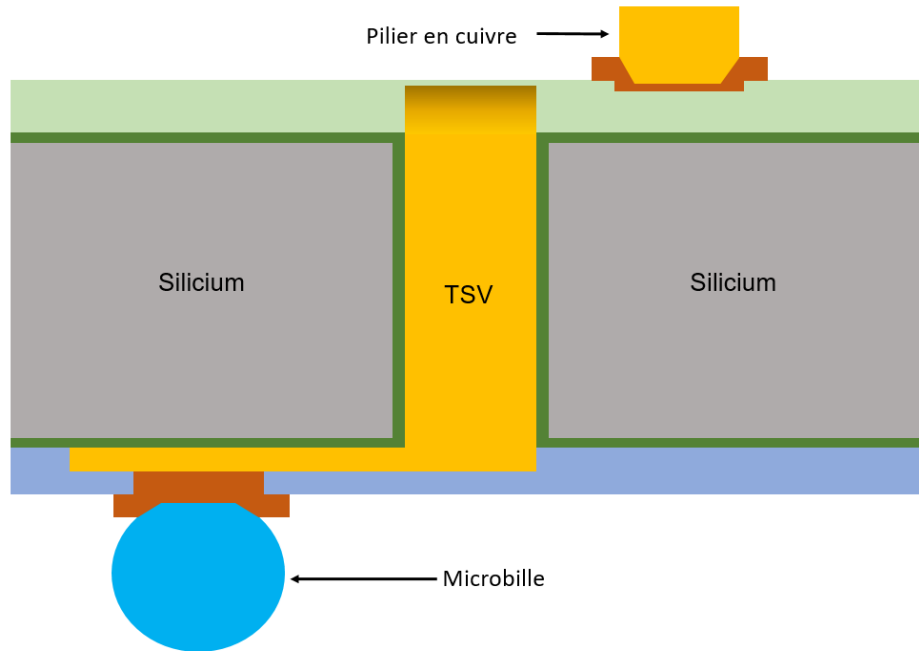


Figure 3. 5 : Schéma d'implantation d'une interconnexion TSV

On peut distinguer trois approches de via qui sont souvent adoptées pour la réalisation des TSV selon l'étape où ils sont conçus au cours du procédé de fabrication du transistor : via-first, via-middle et via-last.

- L'approche « Via first »

Les vias sont gravés durant la phase de réalisation des composants actifs ou le « FEOL » (« Front End Of Line »). On grave des vias de diamètre allant de $0.5\mu\text{m}$ à $5\mu\text{m}$ pour des profondeurs de 20 à $50\mu\text{m}$. On adopte cette approche pour l'obtention d'une grande densité de via dans un substrat de silicium[6].

- L'approche « Via middle »

On grave les vias après avoir réalisé les transistors (« FEOL ») et avant d'effectuer les interconnexions des zones actives ou « BEOL » (« Back End Of Line »). Ces vias vont d'un diamètre de 3 à $10\mu\text{m}$ et sont gravés jusqu'à une certaine profondeur où une étape d'amincissement est nécessaire, ou bien à travers toute l'épaisseur du silicium.[6].

- L'approche « Via last »

Les vias sont gravés après l'ensemble des étapes FEOL et BEOL. Les diamètres des vias varient de 8 à 200 μm avec une profondeur d'environ 50 à 100 μm . Cette approche est considérée comme la moins coûteuse[6]. Elle est généralement utilisée dans des applications moyenne densité comme par exemple les capteurs d'images, et permet d'interconnecter la face avant avec la face arrière sans influencer le design du FEOL /BEOL de la face avant. On grave donc des vias avec des diamètres de quelques dizaines de micromètres et un rapport de forme généralement compris entre 1:1 et 3:1[6].

A partir des dimensions de ces TSV, le remplissage en métal ne se fait pas nécessairement d'une manière à boucher le trou pour des raisons évidentes de coûts et de temps de cycle[6]. On assure généralement la connexion électrique au sein des TSV par une fine couche de cuivre couvrant les parois intérieures des trous. On dépose généralement ce cuivre par électrodéposition chimique (figure 3.6).

Dans le cadre de cette maîtrise, on s'intéresse seulement à l'approche *via last* du TSV. Toutefois, le via à la fin du procédé doit être rempli totalement vu l'intérêt d'augmenter la capacité de dégagement de chaleur à travers le métal de remplissage. Cela contribuera à une minimisation de la température du dispositif et pourrait maintenir plus son efficacité de fonctionnement en puissance (minimisation de la dégradation des performances du composant et du circuit).

Le procédé de fabrication de ce type d'interconnexion sera détaillé dans les sections suivantes où seront exposées les expérimentations effectuées en salle blanche.

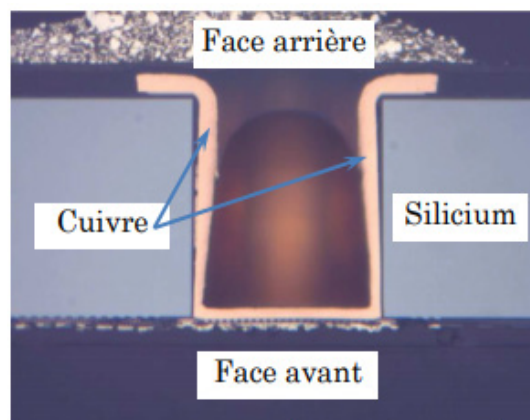


Figure 3. 6: Coupe transversale d'un TSV (approche *via-last*) métallisé dans un module de capteur d'image (STMicroelectronics). Image tirée de [6]

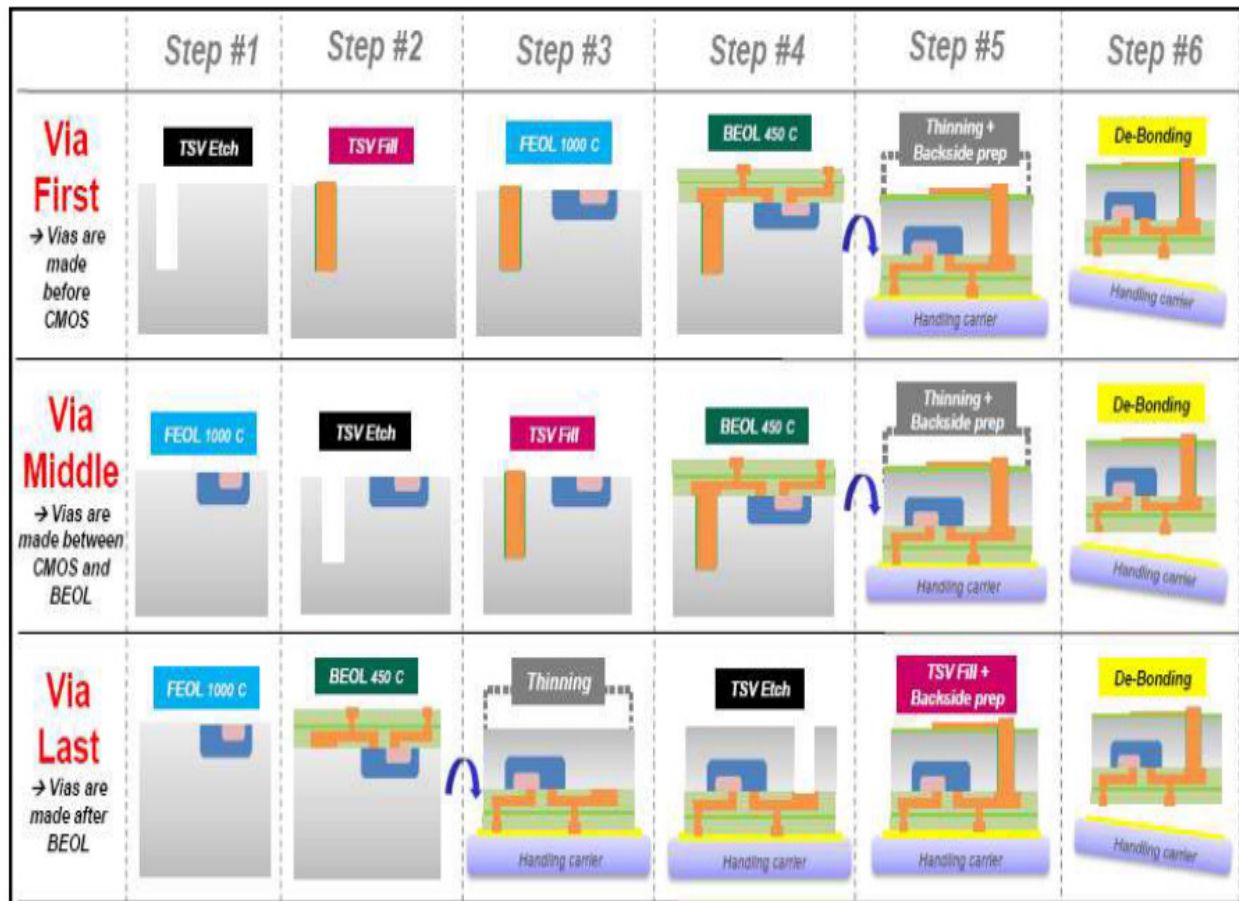


Figure 3. 7: Représentation des trois différentes approches TSV et leurs différentes étapes de procédé.
Image tirée de [6]

4. Réalisation d'un via dans le substrat de silicium

La gravure des vias face arrière dans le silicium est une technologie prometteuse et présentent de nombreux avantages : réduction du volume du circuit, faible consommation d'énergie (réduction des pertes métalliques), meilleure dissipation calorifique.

Le procédé de gravure des vias dans le silicium le plus couramment utilisé est la gravure sèche (**gravure plasma**) qui présente un contrôle adéquat de l'anisotropie des motifs. C'est une gravure par plasma basée sur l'effet des gaz constitués d'ions chargés positivement, d'électrons, de radicaux, pouvant se mettre en réaction physique et chimique avec les motifs de siliciums exposés. On parlera dans la section suivante de la nature de cette gravure et des mécanismes qui lui permettent de transférer les motifs dans le silicium.

4.1 Introduction à la physique des plasmas

4.1.1 Définition

Le plasma est un gaz composé de différents éléments chargés et de neutres: électrons, radicaux, ions, photons. Il est généré quand la matière acquière une grande énergie (énergie thermique par exemple). Les molécules se divisent en atomes, les atomes donnent des ions, des électrons séparés et des radicaux. On appelle aussi cet état le 4-ième état de la matière.

Un radical se présente comme étant une espèce chimique ayant à sa couche externe un électron ou plusieurs non appariés. Dans la plupart du temps, la présence d'un électron célibataire contribue à une grande instabilité pour ces atomes, ce qui signifie qu'ils sont chimiquement actifs pour réagir avec leur environnement et se rendre dans un nouvel état stable (respect de la règle de l'octet).

On peut obtenir un plasma basse température grâce à un champ électromagnétique qui fournit l'énergie nécessaire pour arracher les électrons aux atomes. Ce type de plasma est souvent utilisé dans les laboratoires de micro-nanofabrication. En effet, dans un réacteur à basse pression le gaz acquiert une importante énergie cinétique grâce au champ électromagnétique environnant, ce qui accélère les électrons libres à des énergies suffisamment élevées pour effectuer des collisions avec les espèces neutres du gaz. Donc les atomes s'ionisent et forment ainsi un plasma.

On caractérise les plasmas par leur densité électronique n_e , leur température électronique T_e et leur degré d'ionisation α avec :

$$\alpha = n_e / (n_e + n_n), \text{ avec : } n_n \text{ la densité des neutres.}$$

4.1.2 La gravure Plasma en microfabrication

La gravure par plasma s'effectue au moyen de deux composantes: une composante physique qui est due au bombardement des ions avec le matériau à graver, et une composante chimique qui résulte des interactions chimiques entre les radicaux et les éléments du matériau à graver.

a. La composante physique de la gravure plasma

La gravure physique consiste à bombarder la surface d'un matériau (pulvériser une cible). Les ions arrivent avec une certaine énergie cinétique suffisante pour arracher des atomes à la surface. Ce type de gravure non sélective (puisque physique) est caractérisé par son anisotropie puisque la trajectoire des ions suit celle du champ électrique.

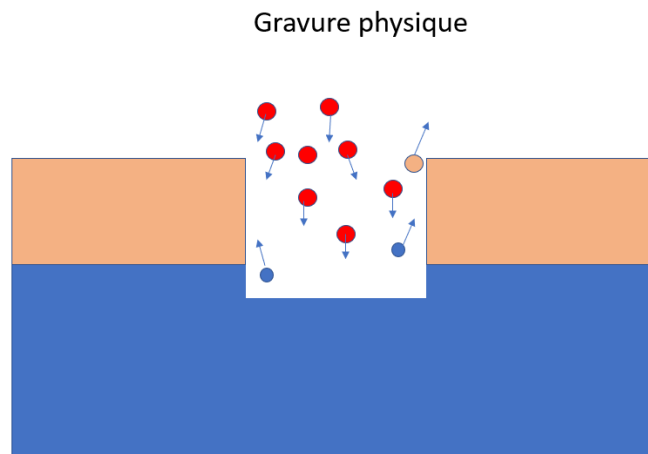


Figure 3. 8: Gravure physique par plasma

b. La composante chimique de la gravure plasma

La gravure chimique correspond à la réaction entre les éléments neutres du plasma (les radicaux) et les éléments chimiques qui constituent la surface du matériau à graver. Elle est sélective et isotrope.

Gravure Chimique

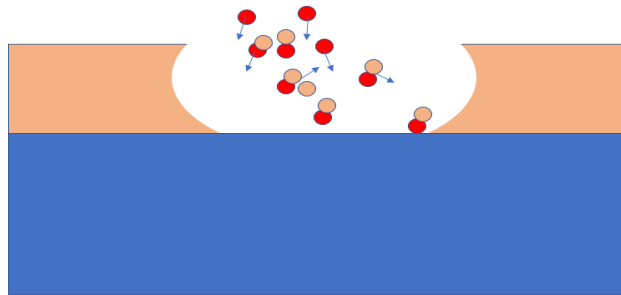


Figure 3. 9: Gravure chimique par plasma

Prenons le cas de la gravure du silicium Si dans un plasma CF_4 , les réactions cycliques suivantes ont lieu dans le réacteur :

- Création du plasma suivant la réaction : $CF_4 + e^- \rightarrow CF_3 + F + e^-$.
- Adsorption sur la surface : $Si + F \rightarrow SiF$: Les atomes ou molécules réactives se lient (passivation) aux atomes de la surface.
- Création des produits de gravure et désorption : $Si + F \rightarrow SiF_4$.

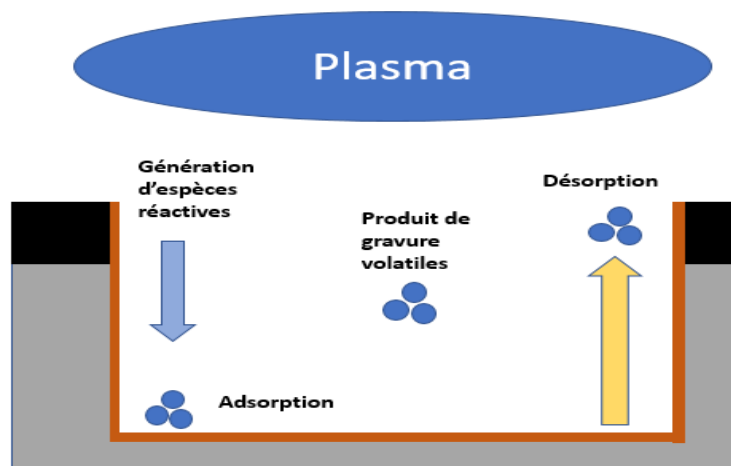


Figure 3. 10 : Les interactions du plasma avec la surface. image tirée de [7]

Les gaz du plasma doivent être adéquats pour premièrement former des produits volatiles et deuxièmement pour obtenir une sélectivité de gravure vis-à-vis du masque de protection de matériau.

4.1.3 La synergie ions-neutres

La gravure par plasma résulte de la combinaison entre gravure physique et gravure chimique. Cette synergie ions-neutres a été mise en évidence pour la première fois par Coburn et Winters [7] dans leur expérience présentée sur la **figure 3.11** qui illustre ce phénomène avec des ions d'argon Ar^+ sur substrat de silicium. Dans un premier temps, les auteurs ont utilisé un plasma XeF_2 , cette gravure est très lente comme on peut le constater sur la figure, de l'ordre de 5 Å/min. Après ajout d'ions argon Ar^+ , ces auteurs ont remarqué que la vitesse de gravure a augmenté d'une manière brusque pour atteindre environ 55 Å/min. Il s'en suit une troisième étape avec un plasma d'Argon (gravure purement physique) où la vitesse de gravure chute à nouveau pour être presque du même ordre de grandeur que la gravure chimique 5 Å/min.

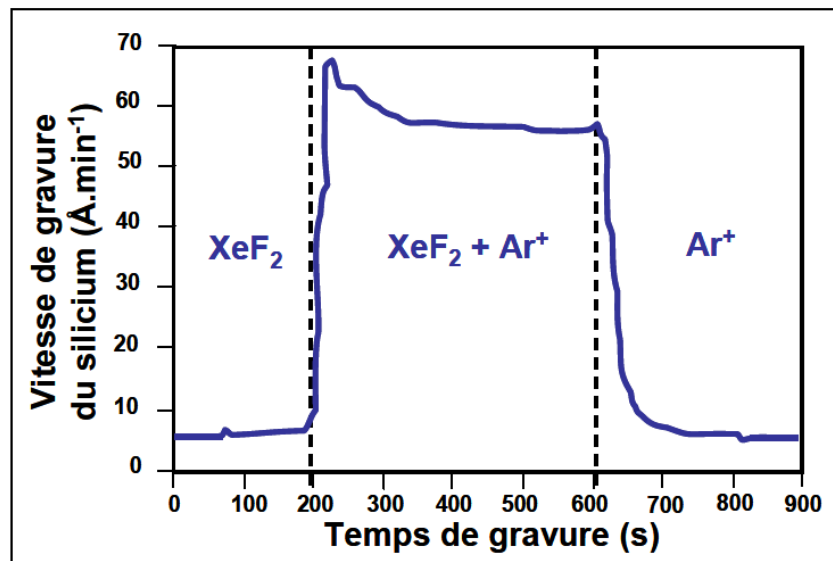


Figure 3. 11 : Synergie ions-neutres en gravure du silicium. image tirée de [7]

Le fait de combiner entre gravure physique et gravure chimique a permis d'augmenter le taux de gravure et donc de réduire le temps du procédé. Dans l'intervalle de temps (200s-600s), les ions ont augmenté la vitesse de gravure chimique de la surface du silicium par les mécanismes déjà illustrés :

- Adsorption : Les ions cassent les liaisons entre atomes par bombardement avec la surface et génèrent une rugosité de surface par croissance de zones d'adsorptions.
- Réaction : Les radicaux incidents se mettent en réaction avec les atomes de surface grâce aux liaisons pendantes générées par le bombardement ionique et la rugosité de surface qu'il crée.
- Désorption : Les produits de réaction deviennent volatils après bombardement ionique.

4.1.4 La gravure de via par Plasma

Comme illustré dans la **figure 15**, une étape de lithographie est effectuée par insolation d'une résine photosensible aux rayons UV au moyen d'un masque qui comporte les motifs à définir. Une fois les motifs définis dans la résine, l'étape de gravure par plasma vient transférer ces motifs dans le substrat de silicium.

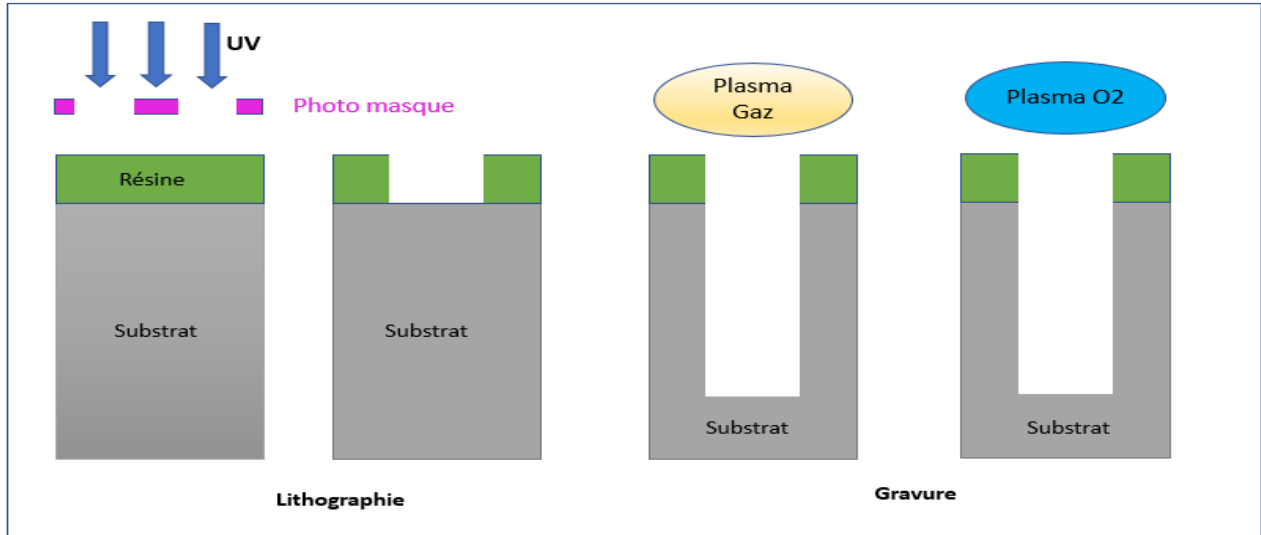


Figure 3. 12 : Les différentes phases de lithographie et gravure de TSV

Dans le cas idéal, on doit effectuer le transfert des motifs dans la résine avec les mêmes dimensions qu'ils ont dans le masque. Il faut prendre en considération différents paramètres caractéristiques comme l'anisotropie de gravure, la sélectivité, la rugosité des flancs, le rapport d'aspect.

a- Anisotropie

Il correspond à la différence de gravure horizontale et verticale.

$$A = 1 - \frac{V_h}{V_v}$$

Avec : V_h et V_v sont les vitesses de gravure horizontale et verticale.

Pendant le transfert des motifs, si la vitesse de gravure horizontale est nulle, on aurait une anisotropie unitaire donc idéale. En réalité, les radicaux se mettent en réaction avec les surfaces latérales des motifs, ce qui induit une gravure latérale des flancs qu'il nous faut limiter dans le cas du procédé Bosch. Ce dernier est obtenu au moyen d'une couche de passivation qui a comme origine les éléments polymériques introduites par le plasma de fluorocarbonne C_4F_8 . Ce procédé sera détaillé par la suite.

b- La sélectivité

On définit la sélectivité comme étant le rapport entre le taux de gravure du matériau et le taux de gravure du masque de protection (métal ou résine). Une bonne sélectivité est obtenue quand

on réussit à graver un matériau sélectivement par rapport à son masque de protection à savoir S très supérieur à 1.

$$S = \frac{T(\text{matériau})}{T(\text{masque})}$$

c- La rugosité des flancs

Pendant la gravure des TSV par plasma, et plus précisément dans le procédé de gravure **Bosch**, une rugosité apparaît sur les surfaces latérales intérieures des motifs, lesquelles peuvent générer des états de surfaces/lacunes affectant le remplissage métallique.

d- Le rapport d'aspect L'ARDE : « Aspect Ratio Dependent Etching »

Le facteur de forme ou rapport d'aspect : C'est le rapport entre la profondeur du motif gravé et sa largeur. En effet, le taux de gravure est bien influencé par l'ARDE : Pour des structures plus profondes, le motif demande beaucoup plus de temps pour se graver. La synergie ions/neutres qui est à la base de la gravure anisotrope verticale, se voit affectée par la perturbation de transport des espèces chargées ou neutres tout au long de la profondeur de la tranchée. Plusieurs paramètres interviennent : la concentration des espèces neutres diminue d'une manière non linéaire en fonction de l'ARDE. De plus, il existe d'autres mécanismes qui modifient ce coefficient : les collisions entre ions sur les flancs qui peuvent se dévier de leurs trajectoires avant d'arriver au fond des vias, l'apparition de charges accumulés et non déchargées sur le masque de protection ou sur les flancs de la gravure, lesquels modifient par effet électrostatique la trajectoire des ions avant d'arriver au fond de gravure. Ces mécanismes affectent également le flux des ions et radicaux qui arrivent aux fonds des motifs gravés[7].

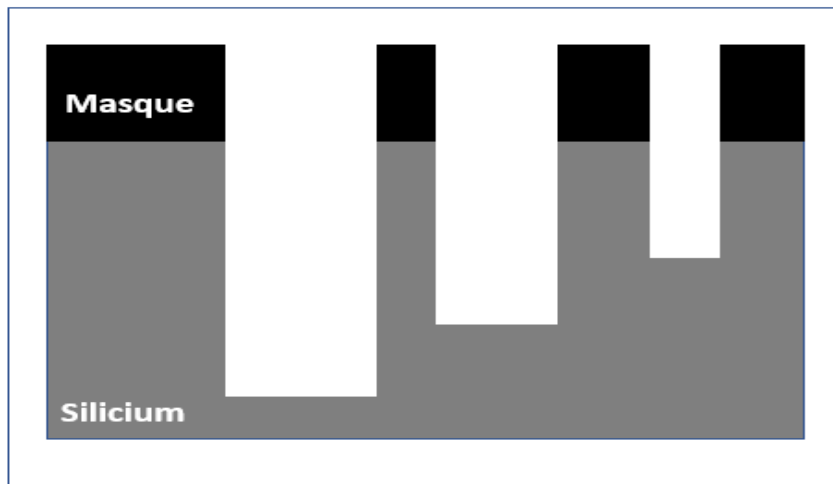


Figure 3. 13 : Schématisation de l'ARDE selon les dimensions des motifs.

e- Le silicium noir (black silicon)

C'est une sorte de « gazon » qui apparaît dans le fond des motifs et donne un aspect noirâtre à la surface du fait de la diffusion de la lumière dans toutes les directions. C'est un phénomène qui est caractérisé par la formation de micro/nano-masques qui induisent dans le silicium une variation de la vitesse de gravure. Ces micros-masques sont originaires de sous-produits de gravure, le plus souvent de polymères résultant de la réaction du silicium avec le plasma de fluorocarbène C_4F_8 . D'autres micro/nano-masques peuvent être générés avec des contaminants provenant de la résine de protection ou des parois de la chambre de gravure Al_2O_3 , ou encore de l'oxydation du fond du motif au cours de la gravure[7].

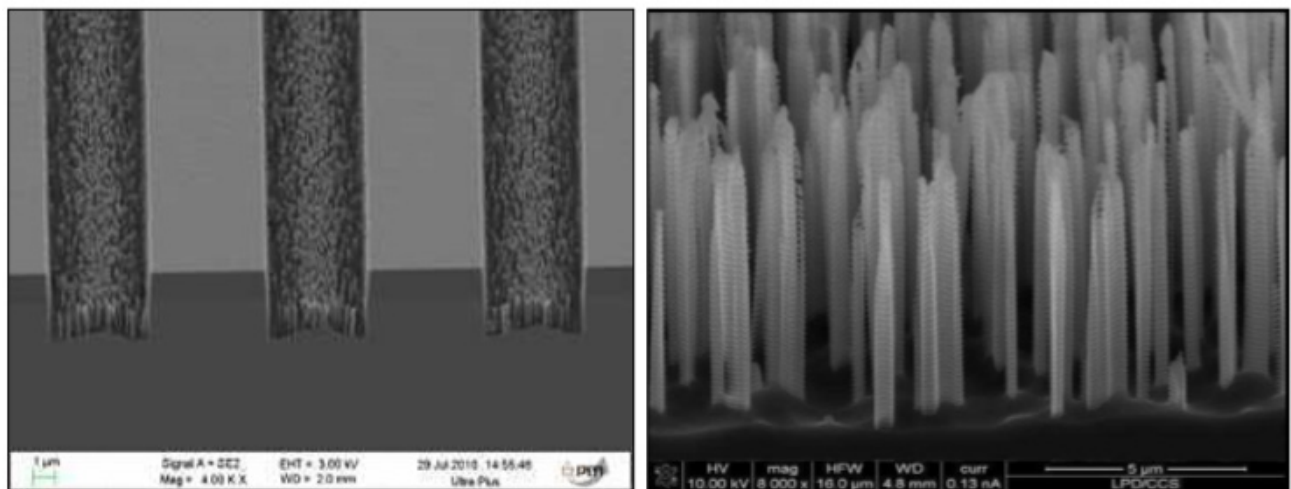


Figure 3. 14 : Le Silicium noir[7]

4.2 Procédés de gravure utilisés

Il existe généralement deux procédés de gravure des TSV dans le silicium : la gravure cryogénique et la gravure par procédé Bosch qui est un outil souvent utilisé par les industriels ainsi que les laboratoires académiques. Cette dernière est utilisée par l'ensemble des équipes de recherche en salle blanche de l'institut 3IT de l'université de Sherbrooke.

En salle blanche du LNN, la gravure par procédé Bosch s'effectue dans la chambre de gravure ASE (Advanced Silicon Etching) à base du plasma des gaz SF_6 et C_4F_8 . Elle sert à réaliser des gravures profondes avec une forme anisotrope verticale, ce qui est indispensable pour créer des TSV dans la face arrière du silicium du transistor GaN.

Il existe aussi un autre procédé de gravure à base de SF_6 qui permet une gravure plus isotropique. Le réacteur qui assure cette gravure est appelé chambre de réaction III-V.

4.2.1 Le procédé de gravure Bosch

Le procédé de gravure Bosch se réalise à température ambiante suivant deux étapes alternatives et consécutives d'un plasma de **gravure en chimie fluorée** (SF_6) et d'un plasma de **passivation en chimie fluorocarbonnée** (C_4F_8). Le silicium est gravé d'une manière isotrope par le plasma SF_6 (Figure.3.15). Après cette étape de gravure, une couche de passivation est formée avec un plasma C_4F_8 sur les surfaces latérales et au fond de la tranchée sous forme d'un dépôt de polymère de type C_xF_y dont l'épaisseur varie avec le flux C_4F_8 . Au cours de la gravure anisotrope SF_6 , les ions positifs bombardent le fond du motif passivé jusqu'à atteindre la surface de Si. Les radicaux fluorés peuvent alors intervenir pour graver le silicium et répéter l'opération. On obtient donc une gravure profonde et anisotrope dans le silicium présentant des rapports d'aspect élevés. Cette alternance entre étape de gravure et de passivation engendre l'apparition d'une rugosité au niveau des flancs latéraux des motifs (Scalloping ou flancs oscillés). Cette rugosité constitue un défaut perturbant au moment du remplissage des motifs car elle peut engendrer des lacunes/vides sur ces mêmes flancs. Le second inconvénient de la méthode est qu'au cours de l'étape de passivation, le polymère se dépose également sur les parois du réacteur et fini par s'accumuler et affecter fortement la reproductibilité du procédé. Il faut donc nettoyer la chambre très régulièrement pour ne pas perdre le point de fonctionnement et avoir un procédé fiable/reproductible.

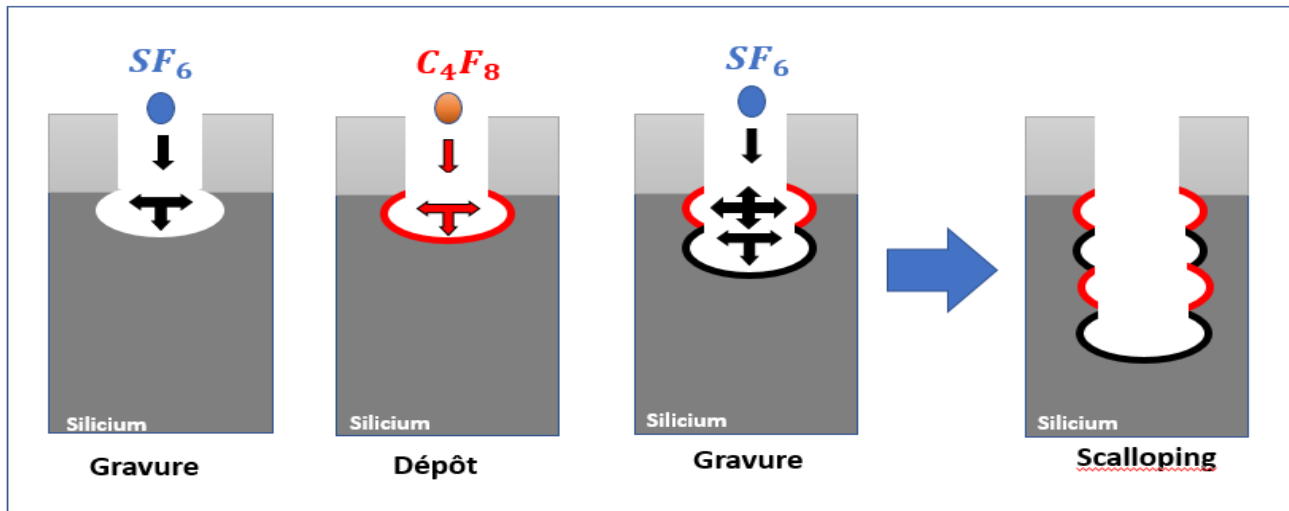


Figure 3. 15 : Descriptif des étapes lors du procédé de gravure Bosch [7]

a. Paramètres de procédé Bosch

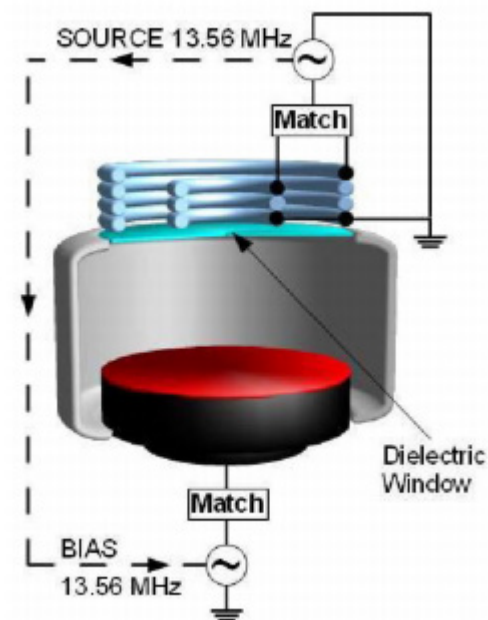


Figure 3. 16: Schéma d'un réacteur de gravure ICP. image tirée de [8]

On définit les paramètres qui peuvent influencer la forme des motifs de vias à graver.

*Paramètres globales : Pression de la chambre, Puissance Coil, Flux d'hélium, Température du chuck.

*Paramètres de gravure : Flux SF_6 , Puissance de platine, Temps de gravure.

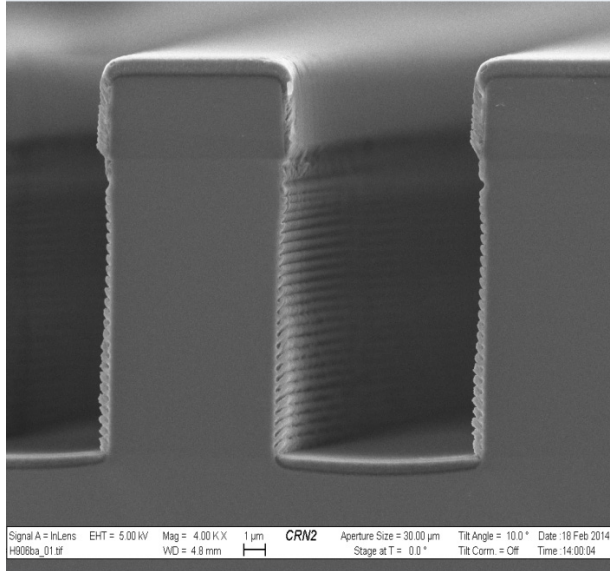
*Paramètres de passivation : Flux de C_4F_8 , Puissance de Platen (porte substrat), Temps de passivation.

b. Effet des paramètres pendant la gravure Bosch

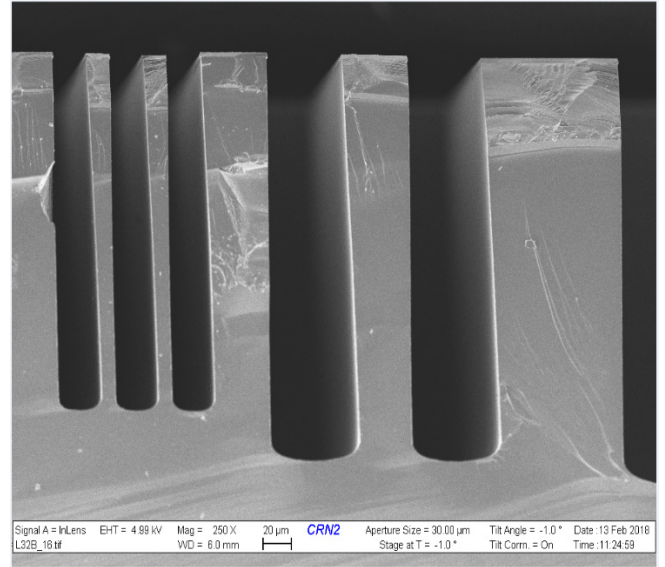
Dans les conditions de la gravure Bosch, une tension sur le platine est toujours appliquée.

- Pression de la chambre : Le platine étant polarisé, ce paramètre contrôle l'anisotropie de gravure. Celle-ci est surtout vérifiée à basse pression. En effet, les collisions entre ions diminuent, donc la vitesse de gravure en est aussi affectée mais la gravure se fait directionnellement suivant le champ électrique rendant la gravure anisotrope.
- Puissance du Coil : l'augmentation de cette puissance sert à engendrer et densifier les éléments du plasma: on obtient des ions positifs, des électrons et des radicaux.
- Flux d'hélium : il est utilisé pour refroidir et garder la température constante sur l'échantillon. Ce paramètre reste inchangé.
- Flux des gaz SF_6 et C_4F_8 : Ce flux se traduit par la quantité des ions et de radicaux qui servent à la gravure et à la passivation.
- Puissance de la platine : Elle est généralement faible pour confiner le plasma à proximité de l'échantillon à graver. Elle accentue le champ électrique de la gaine du plasma et donne l'énergie des ions positifs qui bombardent la surface du silicium.
- Temps de passivation : Plus le temps de passivation est grand, plus l'épaisseur de la couche de passivation augmente.
- Temps de gravure : la durée pour cette étape doit être suffisante pour graver toute l'épaisseur de la couche de passivation au fond du motif à graver [9].

Des expérimentations réalisées en salle blanche avec le procédé Bosch sont illustrées dans la **figure 3.17**:



a-Tranchée ave dépôt de téflon



b-Via 20um-50um

Figure 3. 17 : Gravure des motifs via par procédé Bosch

La figure **3.17-a** montre les ondulations sur la paroi des flancs « Scalloping » dû au dépôt du polymère « Téflon C_xF_y » sur les surfaces latérales pendant la phase de passivation obtenu avec le bâti ASE (recette Deep). On peut constater que la pente de gravure reste néanmoins négative c'est à dire que la largeur du motif est plus grande au fond de gravure qu'à la surface. En effet, le cycle complet comprend une durée de gravure isotrope (de 13s) plus longue que celle de la passivation (avec 7s) afin de ne pas générer une gravure latéral complète. Si l'on désire avoir une pente de gravure nulle ou positive, il nous faut ajuster le rapport temps de passivation sur temps de gravure.

Un des défis à réaliser dans le cadre de ce travail est d'avoir des pentes de vias positives sur toute l'épaisseur du via. Si ces mêmes pentes latérales venaient à se toucher avant d'atteindre la profondeur désirée, du silicium noir va se former à la jonction des flancs latéraux au fond du via « grass ».



Figure 3. 18: (a)-Gravure de via par recette Deep, (b)- gravure de via avec ajustement de temps de cycle

4.2.2 Procédé de gravure à base de SF_6

Cet autre procédé de gravure exclusivement à base de SF_6 réalisé dans la chambre de gravure III-V, est isotrope. Les paramètres d'ajustement sont similaires à ceux déjà mentionnés avec le procédé Bosch sans l'étape de passivation/polymérisation (il n'a pas de gaz C_4F_8). Quelques résultats illustratifs de ce type de vias dans le silicium sont montrés dans la figure 3.19.

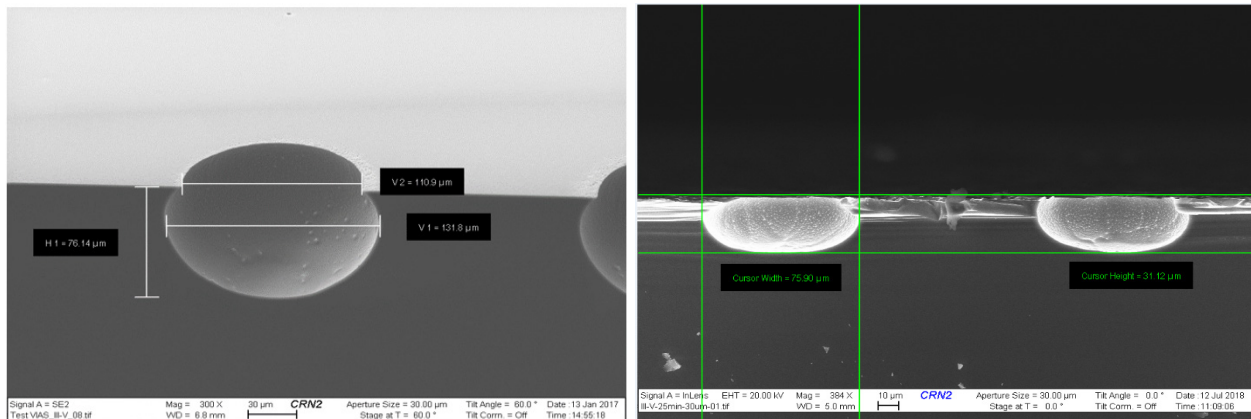


Figure 3. 19: Gravure des motifs via par Plasma SF_6 en III-V

Ces images représentent une gravure avec différentes profondeurs selon la nature de la surface (rugueuse ou non) du substrat et le temps de gravure. Cette propriété d'isotropie de la gravure

pourrait être utilisé à bon escient pour compléter une gravure réalisée avec le procédé Bosch c'est à dire minimiser la rugosité des flancs et ajuster les pentes latérales à volonté selon nos besoins. Ce nouveau procédé permettra de faciliter le remplissage des vias.

CHAPITRE IV : Objectif du projet

En microfabrication, l'intégration de *vias* permet de répondre aux besoins de la miniaturisation des composants et des circuits. Dans le cas qui nous préoccupe dans ce travail, plusieurs études ont montré l'avantage de l'usage de *vias* métalliques traversant pour la dissipation de la chaleur de transistors de puissance GaN. Ce procédé n'étant pas disponible dans le groupe de recherche du Pr Maher (Groupe GaN, UdeS), j'ai accepté de relever ce challenge en proposant de développer cette brique technologique en commençant par optimiser les conditions d'obtention d'un *via* au travers d'un substrat de silicium et de le combler avec une électrode métallique. Pour cela, nous avons défini un cahier des charges précis qui sera détaillé par la suite.

On ne s'intéresse dans ce mémoire qu'à travailler sur la gravure de *vias* dans le silicium, lequel constitue un support mécanique pour une hétérostructure à transistor GaN. Une fois le procédé maîtrisé, la seconde partie de l'étude consiste à trouver les conditions pour remplir complètement ces *vias* avec un métal.

Le cahier de charge est comme suit :

On travaille sur la face arrière des échantillons de silicium (111). L'épaisseur initiale de l'échantillon serait de 120 μ m. On doit concevoir un masque qui va comporter différentes formes et diamètres « *d* » des *vias*. Une phase de lithographie serait préliminaire pour transférer les motifs *vias* du masque dans la résine de protection. On grave en premier lieu par procédé Bosch une profondeur entre 110 μ m et 115 μ m. Les *vias* obtenus ainsi seraient de forme verticale mais avec des flans rugueux. En deuxième étape, et après l'enlèvement de la résine de la surface des échantillons, on complète la gravure de la profondeur restante dans le bâti III-V. On prend en considération que -dans le III-V- l'amincissement de l'échantillon s'effectue en même temps que la gravure au fond du *via*. On doit alors identifier et respecter le rapport de gravure entre le fond et le sommet du *via* pour obtenir à la fin de gravure III-V une épaisseur globale de l'échantillon égale à 100 μ m qui comporte des *vias* traversants TSV.

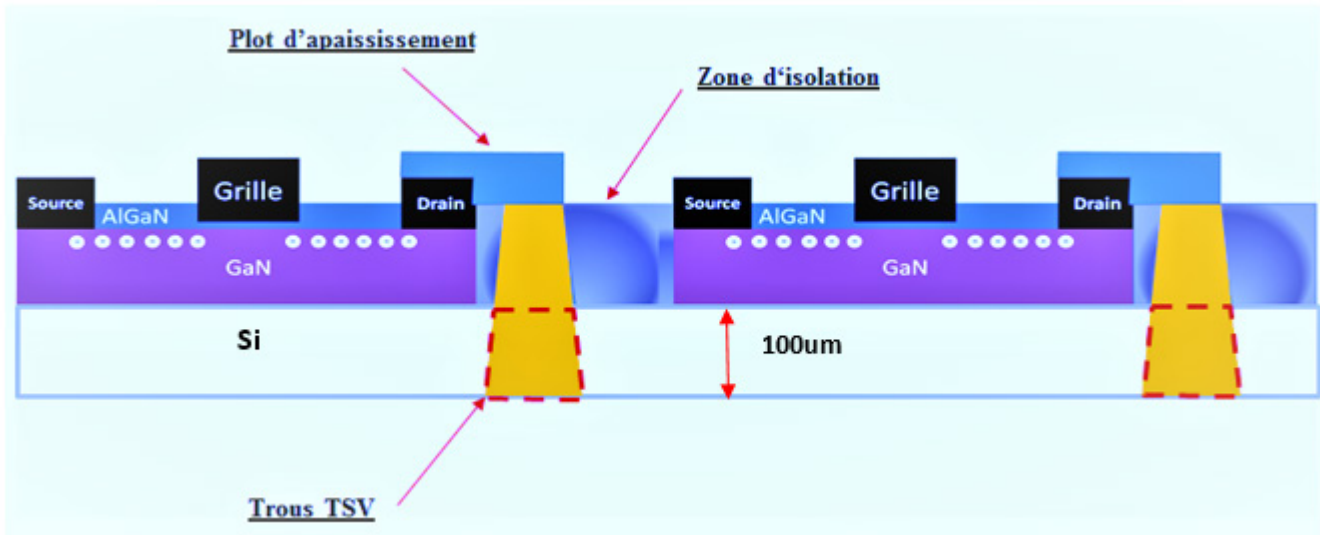


Figure 4. 1 : Schéma de la disposition des TSV dans le transistor GaN horizontal sur substrat silicium face arrière.

Les vias obtenues à la fin du procédé de gravure seront de forme conique évasée avec un grand diamètre à la surface et un petit diamètre au fond. Le diamètre à la surface ne doit pas dépasser au maximum la valeur de $2.5 \cdot d$. le diamètre au fond de via ne doit pas dépasser la valeur de $1.5 \cdot d$. Les pentes doivent être des pentes positives avec angles supérieures ou égale à la valeur de 80° .

À cette étape on procède au dépôt de couches d'accroches de Ti(300nm) et Cu (500nm) qui vont servir comme électrode pour la réalisation du remplissage métallique. Celui-ci serait effectué par électrodéposition chimique dans un banc contenant les ions du métal à déposer. On doit effectuer le bon prétraitement de l'échantillon et utiliser une densité de courant précise pour permettre d'obtenir un remplissage métallique sans défaut.

CHAPITRE V : Développement des tests de gravure et de métallisation

1. Masque des motifs utilisés

J'ai conçu un masque de vias avec Layout Editor. C'est un masque de taille 4 pouces qui comporte deux types de vias (circulaires et hexagonaux) organisés sous forme de cellules matricielles avec des distances entre vias variant de 5um à 100um. Le but de ce masque est d'identifier les diamètres de vias les plus appropriés pour la récupération du contact métallique face arrière du silicium vu que la profondeur de gravure (100um) implique un degré d'évasement de forme spécifique de manière à éviter les interférences entre motifs gravés. La caractérisation MEB déterminera la distance minimale à respecter entre les motifs pendant la gravure.

1.1 Types de matrices de vias utilisés dans le masque

1.1.1 Type 1

Ce type de matrice représente des vias de diamètres fixes espacés par une distance (d). Pour un seul diamètre de via on a conçu trois matrices de différentes distances d comme le montre le tableau 1.

Diamètre de via en um	Distribution d_1	Distribution d_2	Distribution d_3
05	5	10	15
10	10	20	30
25	25	50	75
50	50	75	100
75	50	75	100
100	50	75	100

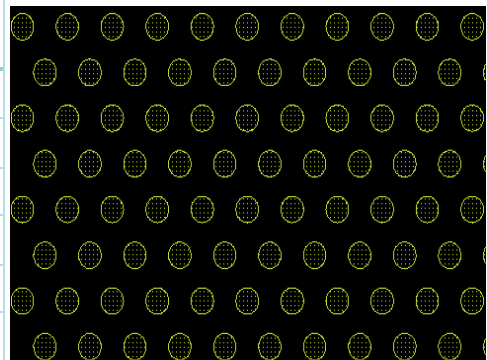


Tableau 5. 1: Les types des matrices et espacements entre vias

Figure 5.1 : Matrices de vias type 1

1.1.2 Type 2

Le type 2 représente des matrices de vias circulaires qui comportent des vias de même diamètre avec un espacement varié horizontalement et verticalement progressivement de 5µm à 100 µm (8 distances différentes comme indiquées au tableau 5.2). Cette ligne formée ainsi, se répète l'une en dessous de l'autre verticalement avec une distance interligne de 5µm à 100 µm (8 valeurs de distance identiques à celles horizontales entre vias).

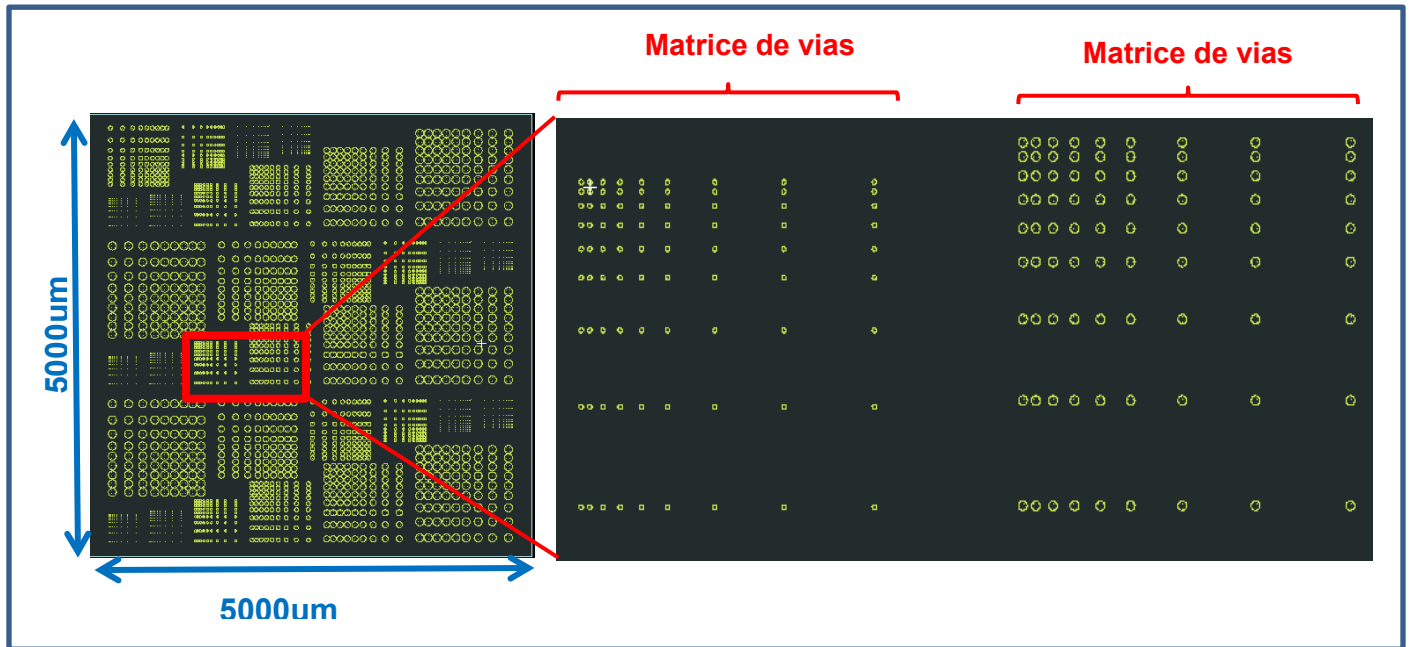


Figure 5. 2 : Extraits de matrices des vias type2 : vias répétés avec espacement variable en horizontal et en vertical

Diamètre des vias (µm)	Espacement n°							
	1	2	3	4	5	6	7	8
05	05	10	15	20	25	50	75	100
10	05	10	15	20	25	50	75	100
25	05	10	15	20	25	50	75	100
50	05	10	15	20	25	50	75	100
75	05	10	15	20	25	50	75	100
100	05	10	15	20	25	50	75	100

Tableau 5. 2 : Valeurs d'espacement entre via pour chaque diamètre de vias

1.1.3 Type 3

Le type 3 représente des matrices qui comportent des lignes de résolution pour la lithographie sous forme de treillis rectangulaires. La largeur des lignes et les distances entre ces lignes rectangulaires augmentent horizontalement et verticalement. Chaque distance interligne est égale à la largeur de la ligne qui la précède. Les largeurs des lignes varient entre 0.5 μm et 100 μm .

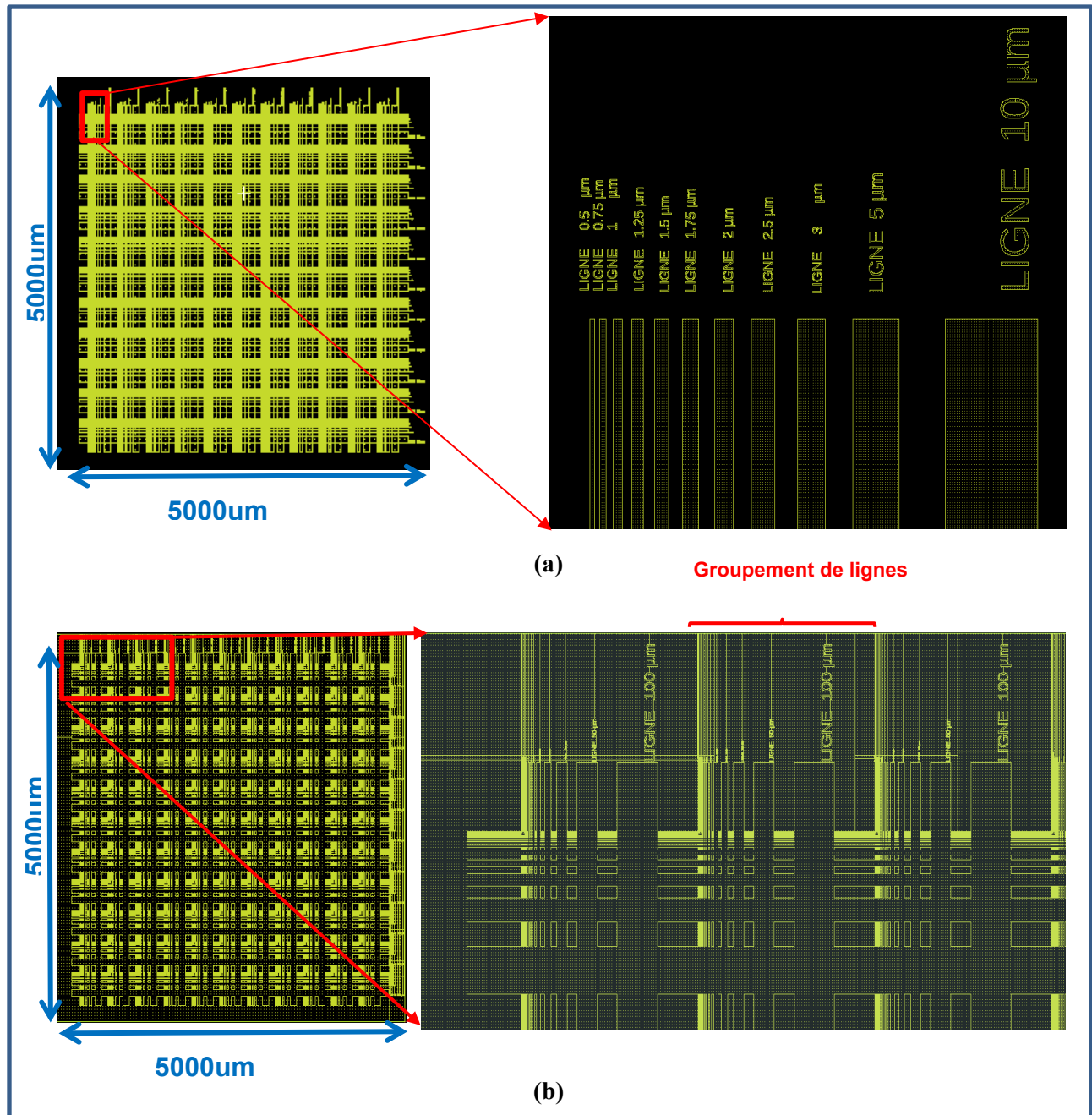


Figure 5. 3: Motifs de résolution positifs (a) et négatifs (b)

2. Procédé de fabrication utilisé

Des séries de tests ont été effectuées sur des échantillons de silicium (111). Le procédé que j'ai utilisé pour préparer les échantillons est le suivant :

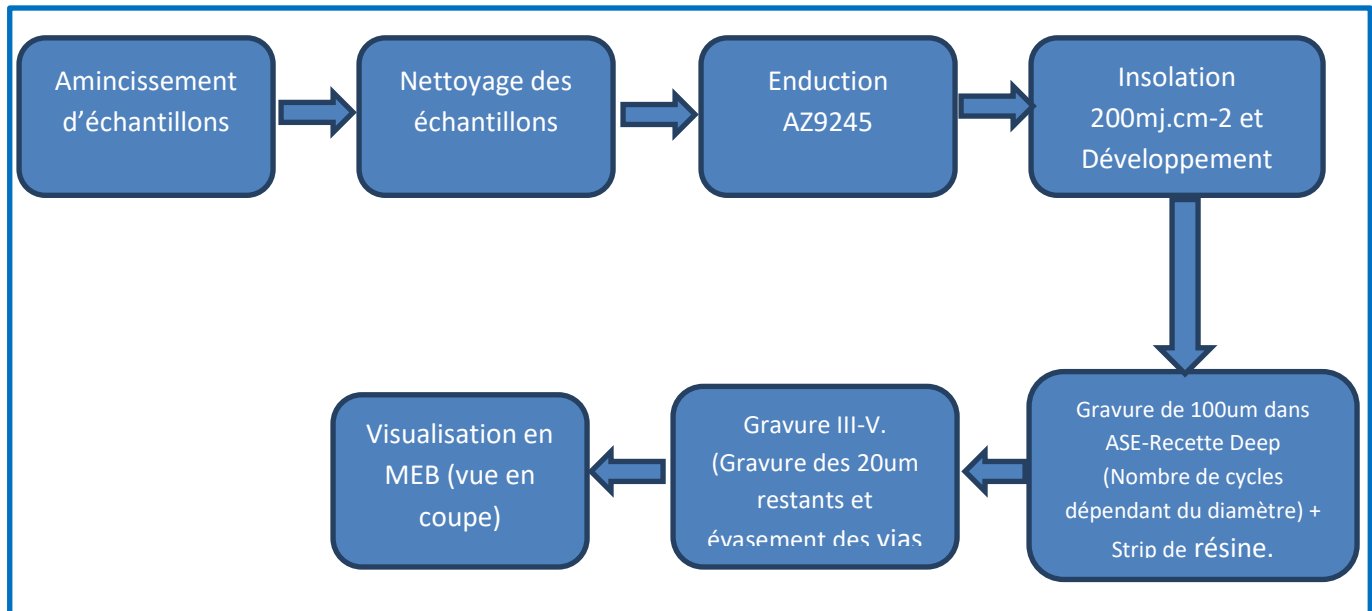


Figure 5. 4: Procédé utilisé pour optimisation de la gravure de via dans le silicium

NB : On travaille avec des échantillons de silicium 1cmx1cm ayant une épaisseur initiale de 500 um.

- Etape 1 : amincissement

L'amincissement se fait par gravure plasma dans la chambre de gravure ASE en utilisant la recette Si_ISO à base du gaz SF₆ et O₂. On lance l'amincissement pour une durée de 15 min et on mesure les échantillons au profilomètre afin d'estimer la vitesse de gravure. Avec cette donnée, il est possible de déterminer la durée de gravure restante pour ne laisser que 120um de silicium.

- Etape 2 : nettoyage

On procède au nettoyage standard des échantillons de silicium par immersion dans l'acétone pendant 5min et l'isopropanol pendant 5min suivi d'un séchage à l'azote et d'une gravure au plasmaline O₂ pendant 10min sous une pression de 300mT et une puissance de 150W.

- Etape 3 : Étalement de la résine

On déshydrate les échantillons sur une plaque chauffante pendant 5min à 150 °C. La résine positive utilisée est AZ9245. On effectue l'étalement avec une rotation de 4000rpm suivi d'un recuit dans un four à une température de 100° pendant 30 min. L'épaisseur mesurée de la résine après étalement et recuit est d'environ 4µm.

- Etape 4 : Exposition

Avec le masque fabriqué, on effectue l'insolation des échantillons étalés sous une puissance UV de 200mj/cm² avec l'aligneuse OAI806.

La visualisation au microscope optique a démontré des images des matrices de vias transférées dans la résine: un exemple est donné dans la figure 5.5.

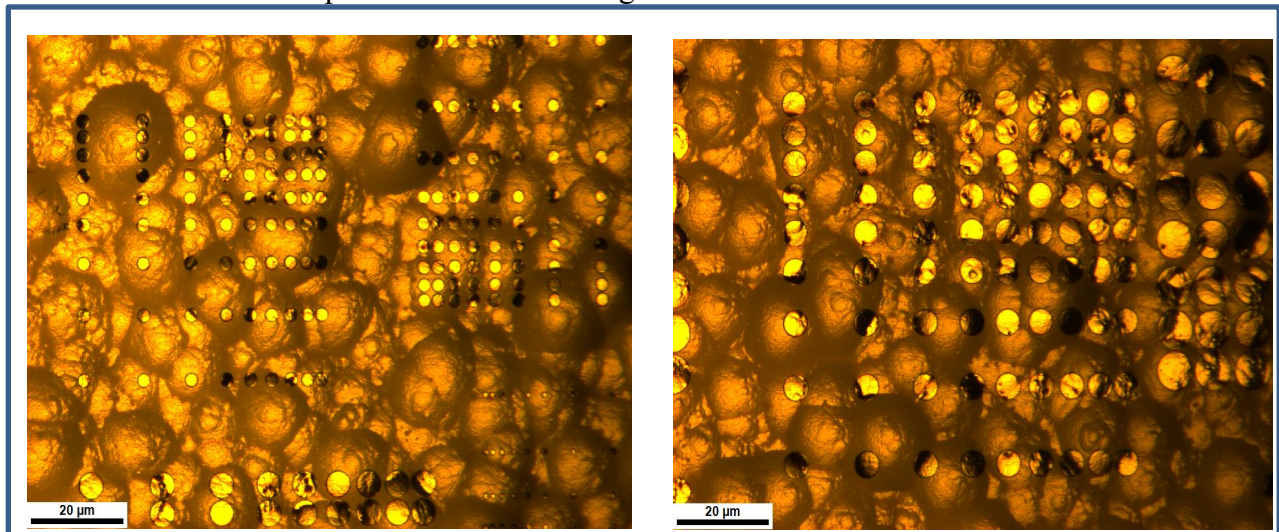


Figure 5. 5 : Exemple de matrices de vias au microscope optique après insolation UV à 200mj/cm² et après développement à l'AZ400 pendant 5min.

Remarque : L'espacement minimum entre-vias de 5µm est bien respecté.

- Etape 5 : Gravure ASE

La gravure plasma dans l'ASE est exécutée selon la recette Deep avec les paramètres suivants :

Recette DEEP (sec)	SF ₆ (sccm)	C ₄ F ₈ (sccm)	O ₂ (sccm)	Puissance coil (W)	Puissance platine (W)	Pression (mT)
Passivation 7s	-	85	-	607	0.4	18
Gravure 13 s	130	-	12.8	610	18.4	31

Tableau 5. 2 : Valeurs des paramètres de la recette Deep utilisée dans ASE

La profondeur de gravure visée est de 115 μm . Après le conditionnement de la chambre de gravure, on procède premièrement à faire une calibration de la vitesse de gravure. La calibration se fait sur un échantillon test qui comporte des motifs de vias en utilisant la recette Deep. La durée choisie pour calibrer est de 30 cycles (10 min). On clive l'échantillon et on mesure la profondeur de gravure avec un MEB et on en déduit la durée nécessaire à ajouter pour graver 100 μm au total.

- Etape 6 : Gravure dans le système STS- III-V

Cette gravure est effectuée avec une recette à base de SF₆ avec les paramètres suivants :

	SF ₆ (sccm)	Flux helium (sccm)	Puissance coil (W)	Puissance platine (W)	Pression (mT)
Gravure	64.9	10.6	898	30	30

Tableau 5. 3 : Valeurs des paramètres de gravure SF₆ en bâti III-V dans la recette utilisée

La profondeur de gravure désirée est de 5 μm . On fait une calibration de 2 min pour chaque diamètre de via et on en déduit la durée nécessaire pour graver le reste du Si. Notons bien que la durée de gravure augmente suivant l'augmentation du rapport d'aspect.

NB :

Avant de procéder à la gravure en bâti III-V, une étape intermédiaire doit impérativement être respectée, c'est celle de l'enlèvement de la résine au préalable. En effet, si le masque de résine subsiste, une sous-gravure s'opère sous la résine et forme une sur-gravure latérale et forme des vias avec un profil casquette crée par l'interaction isotropique du plasma SF₆ avec le silicium (figure 5.6-a). Ce phénomène n'est pas observé si on réalise la même gravure après retrait de la résine (figure 5.6-b).

Après avoir réalisé le procédé au complet (gravure au ASE puis au III-V), l'épaisseur gravée est estimée à 120µm. En tenant compte de l'amincissement de la surface au cours de la gravure au III-V après retrait de la résine, l'épaisseur totale du substrat de Si diminue jusqu'à atteindre 100µm (ce qui correspond à la valeur souhaitée). En effet, étant donné que le taux de gravure en surface est beaucoup plus rapide qu'au fond d'un motif, un amincissement de 20µm en surface va correspondre à juste quelques micromètres au fond des motifs. Souvent dans mes expérimentations, on obtient un rapport de 4 :1. La gravure de 20µm à la surface implique une gravure 5µm dans le fond du via. En considérant ce rapport, il nous faut donc graver 115 µm avec le procédé Bosch et compléter la gravure des 5µm restants par plasma SF₆ dans le bâti III-V. On obtient alors un substrat final de silicium de 100µm d'épaisseur gravé sur sa face arrière par des via évasés.

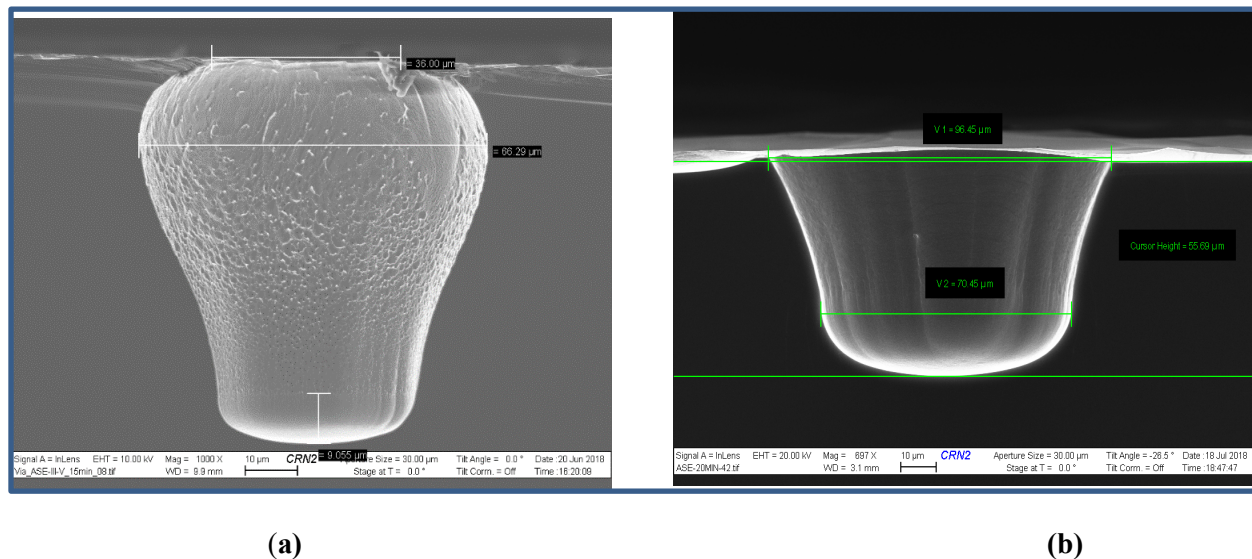


Figure 5. 6 : a- Via gravé en III-V après le procédé Bosch sans strip de photomasque résine. b-Via gravé en III-V après le procédé Bosch avec strip de photo-masque résine

La figure 5.7 présente des images MEB d'un échantillon test avec des vias de 25µm de diamètre gravé séquentiellement à l'ASE puis au bâti III-V. La profondeur de gravure totale obtenue est de 91µm au lieu des 100 µm visés au final. L'épaisseur initiale de l'échantillon étant de 120µm.

En effet, la partie gravée avec le procédé Bosch fait 85µm de profondeur alors que la gravure SF₆ ne fait que 6 µm environ.

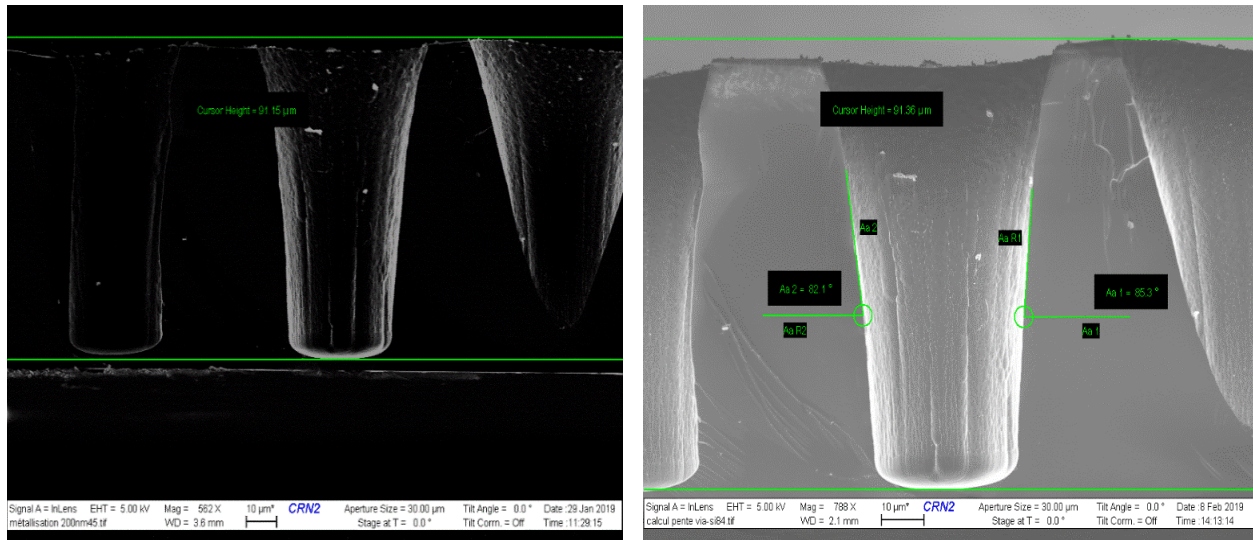


Figure 5. 7 : Profil de vias de 25µm de diamètre gravés avec le procédé Bosch suivi d’une gravure isotropique au SF_6 . La pente des vias varie de 82° à 85°

Le procédé optimisé devait donc amener 100µm d’épaisseur gravée après utilisation des deux procédés de gravure. Ce qui signifie un amincissement de la surface pendant la gravure III-V d’environ 20µm. On a obtenu donc un rapport de 3.3 de gravure entre le fond et la surface du via pour ce test. Ce rapport pourrait s’élever pour les vias de diamètre de 5-10µm car ils présentent un plus grand rapport d’aspect.

La valeur des pentes mesurée est approximativement de 82° . On suppose pouvoir diminuer cet angle si on grave plus de 6µm dans le bâti III-V. Toute augmentation de la profondeur de gravure dans le bâti III-V implique une diminution de la profondeur de gravure dans l’ASE pour garder à la fin une profondeur de gravure de 100µm constante. Ceci implique de choisir la bonne épaisseur initiale de l’échantillon pour vérifier ce rapport de 4 entre le fond de gravure et la surface gravée. Afin d’obtenir une continuité sur la couche d’accroche, il nous faut conserver un minimum d’évasement nécessaire en fin de gravure. Une métallisation isotrope sera donc plus adéquate pour assurer un dépôt homogène et continu sur les flancs. On présente dans la section suivante les résultats des deux types de métallisation que j’ai testées.

3. Tests de gravure et de métallisation effectués

3.1 Détermination de la distance critique entre vias

Dans ce test, on a effectué une lithographie et une gravure séquentielle à l'ASE/III-V suivis d'une caractérisation au MEB pour définir les minimas d'espacements qu'il faut respecter pour un meilleur évaseement des motifs.

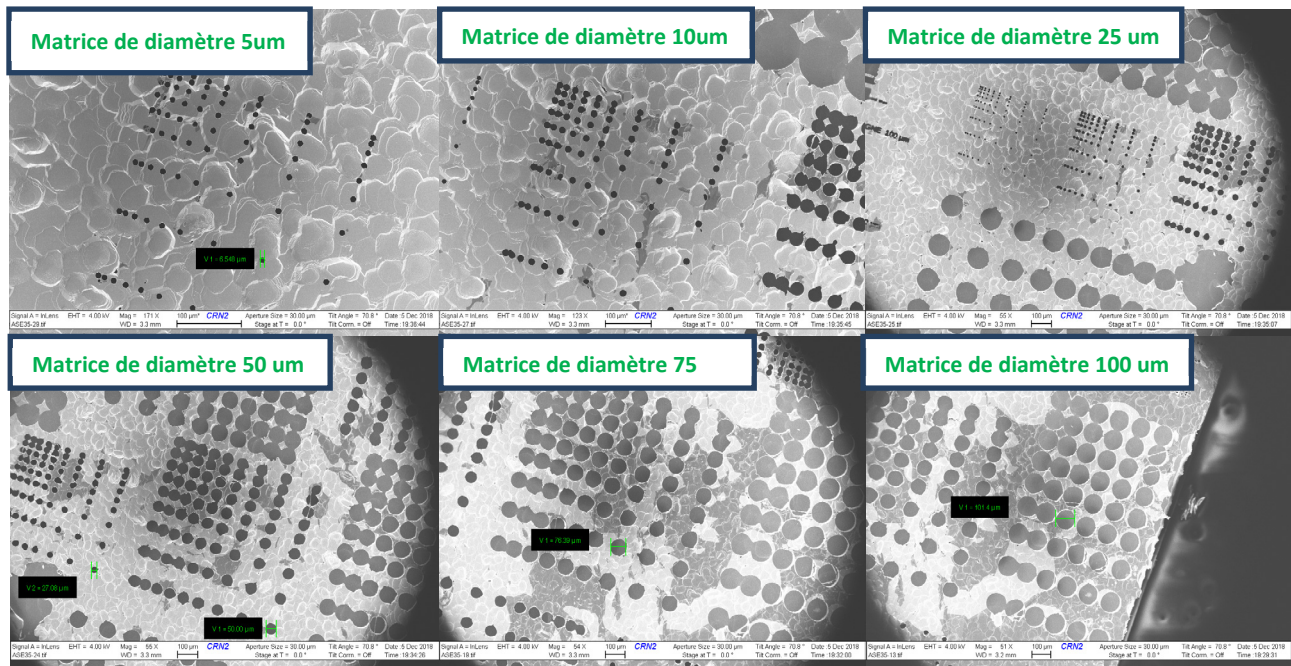


Figure 5. 8 : Résumé des minimas d'espacement entre vias qu'il faut respecter en gravure ASE

Le tableau 5.5 résume les espacements critiques des matrices de différents diamètres.

Diamètre de Via gravé (um)	Espacement minimal entre via (um) qu'on doit considérer
5	10
10	10
25	15
50	15
75	25
100	25

Tableau 5. 4 : Minimas d'espacements entre vias à respecter en utilisant la gravure ASE

3.2 Détermination du rapport de gravure entre motifs

Pour réduire l'encombrement des vias dans le masque et en considérant l'évasement des motifs après gravures, seuls les vias de diamètre 5-10-25µm ont été retenus puisqu'ils constituent les diamètres les plus critiques sur le masque.

On a calculé le rapport de vitesse de gravure qui existe entre chacun des diamètres gravés (5µm-10µm-25µm), et un motif de résolution de 100µm. En sachant que les paramètres de gravure restent les mêmes, il a été constaté que ce rapport varie peu pour chacun des diamètres (marge de +/- 5%). C'est-à-dire que ce rapport est approximativement reproductible. On peut donc définir le temps nécessaire pour graver une certaine profondeur sur les petits motifs après avoir fait la mesure sur des motifs de plus grande taille comme illustré dans le tableau 5.6. Cette technique de calibration a été utilisée avec succès pour définir les temps de gravure nécessaires pour obtenir les vias de 100 µm de profondeur à la fin de gravure SF6. Pour la gravure Bosch, le cycle est la durée de gravure suivie de passivation réalisée en 20 secondes.

Diamètre du via	Temps de gravure ASE de 115 µm	Temps de gravure III-V de 5 µm	Vitesse de gravure ASE (µm/mn)	Vitesse de gravure III-V (µm/mn)
25µm	75 cycles	2 min	V/1.35	V'/1.40
10 µm	95 cycles	4.5min	V/2.10	V'/1.65
5µm	125 cycles	7min	V/2.90	V'/2.60

Tableau 5. 5 : Résumé des rapports de vitesses de gravure (à l'ASE et au III-V) réalisé entre des motifs de petites tailles (diamètre 05-10-25 µm) et un motif de grande taille (100 µm). V et V' sont les vitesses de gravure du grand motif en ASE et en bâti III-V respectivement

En relation avec la section précédente, on constate que le rapport de vitesse de gravure entre une surface de silicium sans motif et le fond des vias a bien diminué par un facteur de 2 approximativement si l'on compare avec le rapport entre vitesses de gravure du fond de via et du fond du grand motif repère de 100µm. La gravure dans le fond du motif est toujours moins rapide qu'au niveau de la surface.

3.2 Métallisation des vias

Après la gravure dans le bâti III-V, on a effectué une métallisation par évaporation et par pulvérisation afin de comparer la continuité du métal et la conformité du dépôt. Un procédé a été effectué sur trois types d'échantillons (via de 5 μ m-10 μ m-25 μ m).

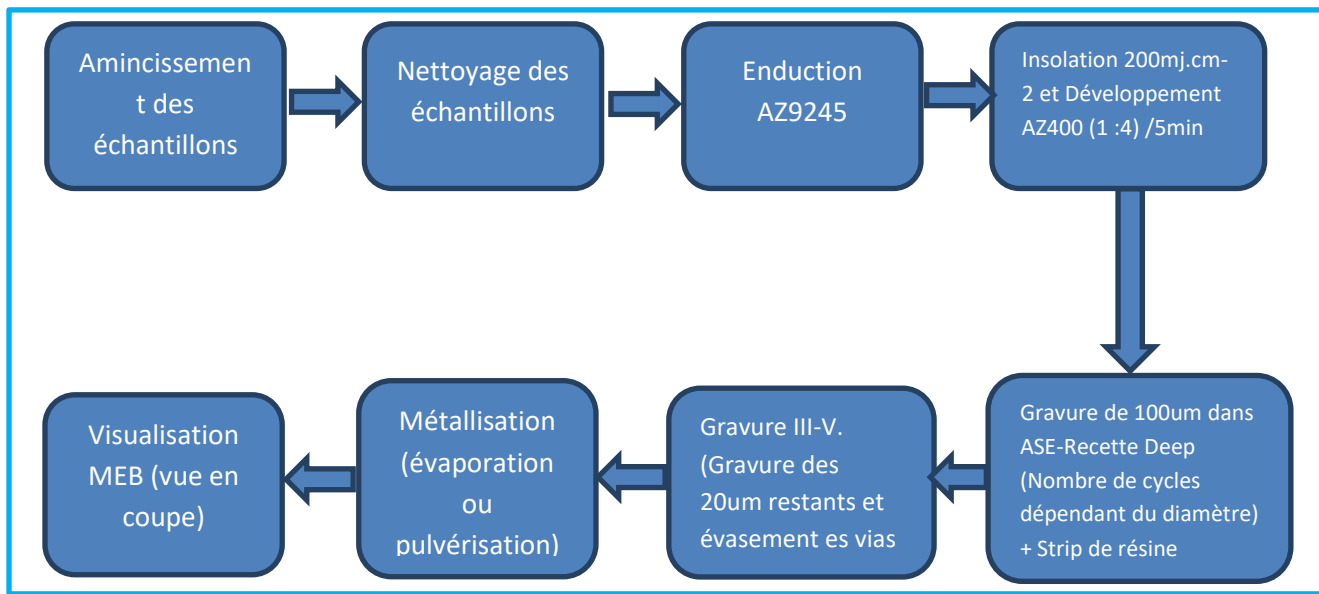


Figure 5. 9 : Procédé utilisé pour optimisation la couche d'accroche en vue de l'électroplaquage

3.2.1 Test de métallisation par évaporation

Des vias de 25 μ m ont été métallisés (figure 5.10) avec le Ti par évaporation avec un évaporateur (modèle Edward-Auto 306 à canal d'électron) .(figure 5.11). L'épaisseur déposée à la surface est de 300 nm. L'épaisseur mesurée en MEB au fond de via est d'environ 260nm. On définit la conformité de dépôt comme étant le rapport entre l'épaisseur mesurées en surface et au fond du via respectivement. La conformité calculée d'après ces mesures est de l'ordre de 86%. Le défaut de métallisation constaté est qu'il y a une rupture de dépôt au niveau de la courbure en bas de via comme illustré dans la figure 5.10 (zone encadrée en rouge). La courbure est engendrée au niveau du début de la gravure plasma SF₆. Cette courbure est concave de telle sorte que le titane ne l'atteint pas car l'évaporation est plus directionnelle qu'isotrope.

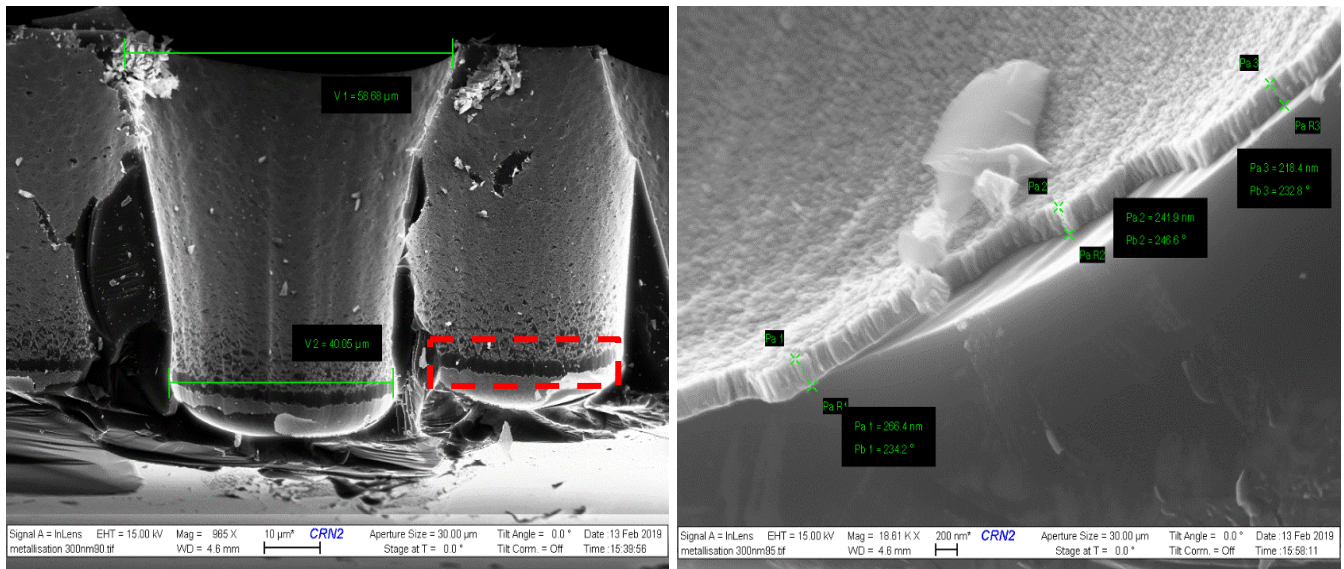


Figure 5. 10 : 1^{er} Dépôt de 300 nm de Ti par évaporation dans des via de 25μm. Conformité de dépôt 86%

La figure 5.10-a montre la vue en coupe d'un échantillon de vias de diamètre de 25μm métallisé par un deuxième évaporateur (système Nanochrome 1 de la compagnie Intlvac). La caractérisation montre une rupture de dépôt atténuée au même niveau que pour les vias métallisés dans la première machine d'évaporation. L'épaisseur mesurée au fond d'un via est de 280 nm (figure 5.11-b). La conformité de dépôt a augmenté pour atteindre une valeur de 93%. Ces valeurs de conformité sont testées plusieurs fois et sont reproductibles avec une marge entre +1% et -4%.

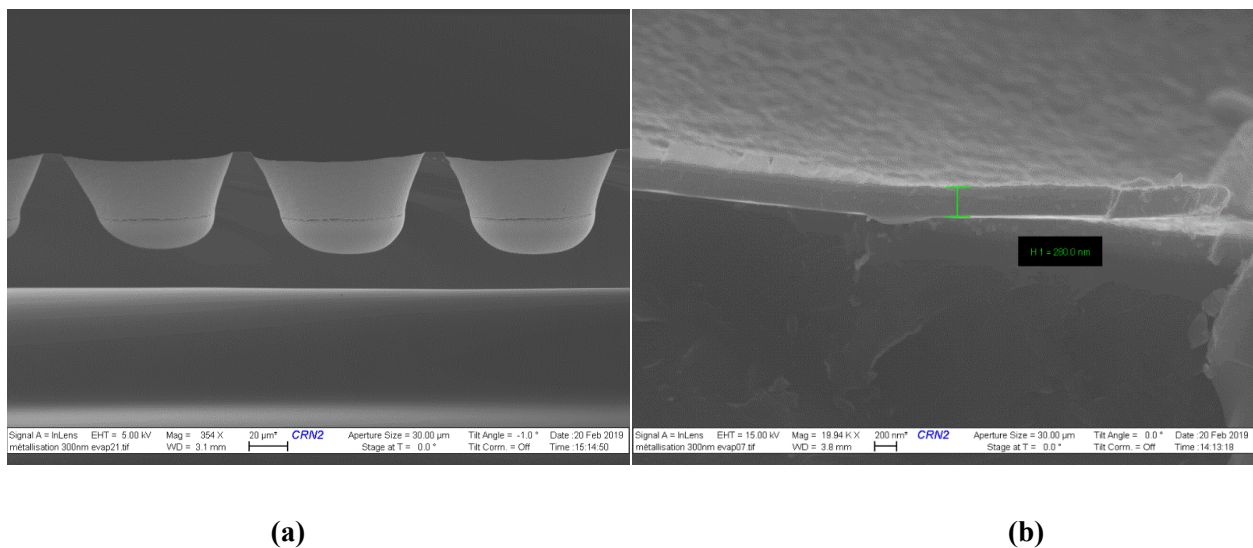


Figure 5. 1 : 2^{ème} Dépôt de 300nm de Ti dans des via de 25μm. Conformité de dépôt 93%

Il est bien à noter que le clivage des échantillons ne passe pas toujours dans le centre des motifs, ce qui rend un peu délicat l'observation en coupe transversale des vias. Cela explique la grande différence constatée entre profils dans les figures 5.10 et 5.11.

3.2.2 Test de métallisation par pulvérisation DC

Un dépôt de la couche d'accroche Ti (200 nm) a été effectué par pulvérisation DC dans la salle blanche du LNN. Une caractérisation MEB a été réalisée donnant les résultats suivants :

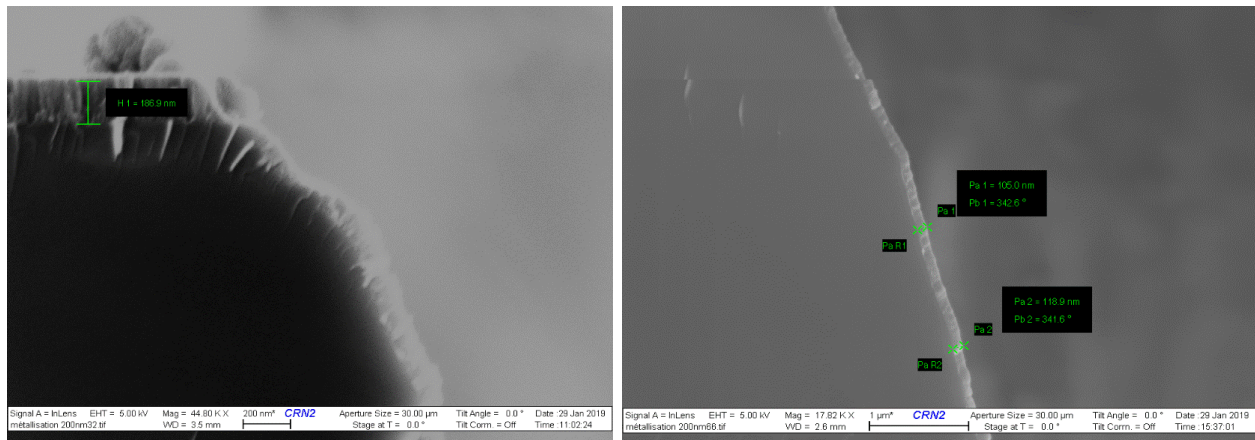


Figure 5. 22 : Via de 25µm métallisé par pulvérisation DC dans la salle blanche du LNN : épaisseur mesurée en surface de 186 nm. L'épaisseur de Ti en milieu de la face latérale d'un via est de 118nm.

L'épaisseur du dépôt métallique mesurée sur la surface est d'environ 190 nm. Cette épaisseur diminue en allant du haut du via vers le bas. À partir d'une profondeur de 20 µm à peu près, il n'a pas été possible de percevoir une épaisseur de métal sur les parois ou sur le fond (absence de métal).

En fait, le dépôt de titane a été effectué par pulvérisation DC. Dans ce cas, le champ électrique est fixe et accumule les ions Ar^+ sur la cible de manière à réduire le flux d'atomes de Ti déposés dans les vias. Cela nous a mené à plutôt utiliser un dépôt RF de titane en utilisant un autre bâti de pulvérisation existant à l'IMDQ.

3.2.3 Test de métallisation par pulvérisation RF

La figure ci-dessous présente un test de métallisation RF pour un échantillon qui comporte des vias de 10 μ m. On remarque que le dépôt est bien continu et présente une amélioration par rapport à celui obtenu par évaporation.

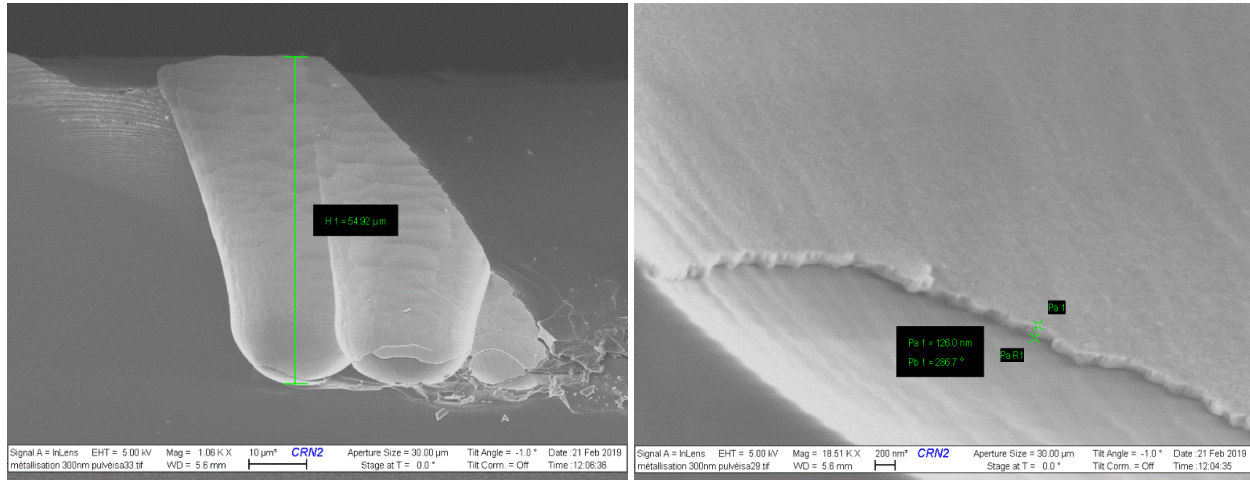


Figure 5. 3 : Test de métallisation par pulvérisation en IMDQ: matrice de via diamètre de 10 μ m d'épaisseur. L'épaisseur du métal au fond du via est de 126nm avec une conformité de dépôt 42%.

Le même résultat est obtenu pour les vias de diamètre de 25 μ m. Une couche continue de métal tapissant la surface intérieure du via est bien obtenue. On a gardé pour la figure 5.13 de présenter juste les vias de diamètre 10 μ m, car dans ce cas, des petits morceaux de métal s'étaient enlevés au moment du clivage permettant ainsi de bien visualiser l'épaisseur de la couche du métal dans le fond, ce qui démontre plus clairement le résultat.

Après l'ensemble de ces tests de métallisation par pulvérisation RF, j'ai opté pour la bicouche Ti(300nm) /Cu(500nm) pour la réalisation de l'électroplaquage. Le titane a un double rôle, il sert aussi bien de couche d'accroche que de couche barrière à la diffusion du cuivre dans le silicium [10]. Le cuivre sert quant à lui comme « seed layer » lors de l'étape de remplissage par électroplaquage.

Une fois cette étape a été stabilisée et rendue reproductible, elle a été testée sur une couche d'isolation électrique (TiO₂) de 300nm obtenue par pulvérisation RF. Ce diélectrique isolant permet de minimiser les fuites de courant dans le substrat et par conséquent les possible courts-circuits entre TSV.

4. Tests d'électroplaquage

Des tests d'électroplaquage ont été réalisés dans des vias de 10 et de 25 μm de diamètres comme précisé dans le procédé optimisé. On établit un courant électrique entre une électrode métallique (anode) et l'échantillon à travers une solution électrolytique contenant des ions du métal à déposer (**Figure 5.14**). Le dépôt s'effectue sur la surface et dans les fonds des vias qui sont recouverts par le tri-couche $\text{TiO}_2/\text{Ti}/\text{Cu}$ (cathode). Les épaisseurs qu'on peut obtenir avec cette technique varient de quelques μm à plusieurs dizaines de μm .

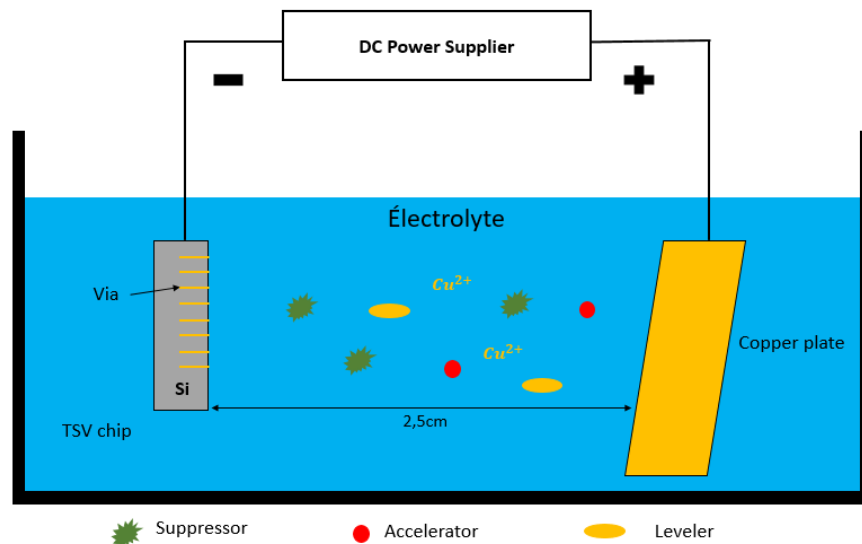


Figure 5. 4 : Schéma d'un banc d'électro-plaquage de vias dans le silicium

La qualité d'un remplissage métallique dépendra de plusieurs paramètres d'électroplaquage : la densité de courant, la composition de l'électrolyte, l'agitation et la recirculation de l'électrolyte, le type de polarisation (continue, pulsée), etc...dans cette étude, on s'est concentré sur les densités de courant comme paramètre déterminant l'électrodéposition tout en gardant constants les différentes concentration d'ions de cuivre, d'additifs, d'accélérateurs et de supprimeurs présents dans la solution.

4.1 Expérimentations réalisées

La solution basique comporte principalement des ions Cu^{2+} , avec laquelle on peut déposer du métal de cuivre dans des motifs de vias avec un rapport d'aspect d'environ 1:20.

Les premières expériences ont été menées sur des échantillons de silicium 1cmx1cm structurés avec des matrices de TSV de 25 μm gravées et métallisées. Le rapport de forme d'un TSV est défini comme le rapport entre la hauteur de gravure et le diamètre d'ouverture. Dans notre expérience, le rapport de forme de TSV est d'environ 1:4.

4.1.1 Le prétraitement sous vide

L'échantillon de silicium a été posé dans un équipement composé d'une chambre à vide et d'une pompe, comme indiqué sur la **figure 5.15**. Une opération de mise sous vide a été effectuée pendant 10 min dans la chambre à vide, puis transféré rapidement dans le banc de d'électroplaquage de cuivre.

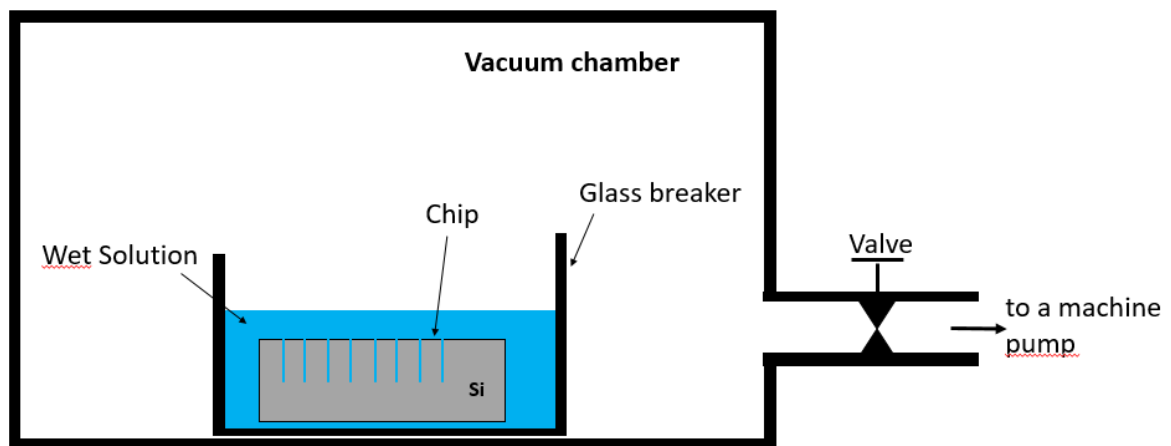


Figure 5. 5 : Prétraitement sous vide de l'échantillon de silicium

Cette opération de mise sous vide sert à enlever les bulles d'air dans les fonds des vias traités. Ces dernières peuvent créer des lacunes pendant le remplissage du métal. La **figure 5.16** représente un test effectué sans prétraitement sous vide et pour lequel il est facile de constater que le métal de cuivre n'a pas été déposé dans les fonds de motifs.

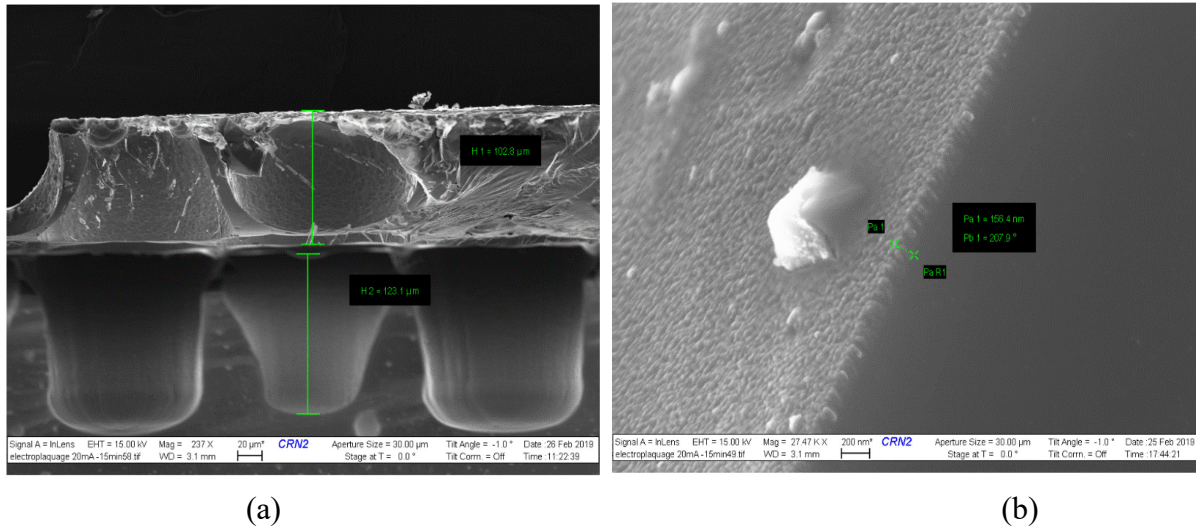


Figure 5. 6 : a- Représentation schématique d'un dépôt de métal sur des motifs de vias de 25µm sans prétraitement sous vide. b- couche d'accroche du Cu non électroplquée à cause du vide.

4.1.2 Influence de la température sur les bulles d'air dans la solution

Lors de la plongée de l'échantillon dans la solution, la probabilité d'emprisonner des bulles d'air dans les vias devient non négligeable. Aussi, lors de la mise en température du bain d'électroplaque, l'évaporation de l'eau présente dans la solution génère elle aussi des bulles lesquelles ont tendances à se retrouver dans les vias. Cela a pour conséquence l'impossibilité de remplir ces vias par le métal désiré[11].

4.1.3 Agitation de l'électrolyte

Pour garantir un bon mouillage des vias, l'immersion doit se faire avec un agitateur magnétique à une vitesse de rotation de 170 tr/mn. Avec cette technique, il est possible d'éviter la formation de bulles au cours de remplissage.

4.1.4 Variation de la densité de courant

Il a été constaté que le taux de remplissage de TSV varie avec la densité de courant, le diamètre des vias et le temps. Différentes manières de remplissage ont aussi été observées. Ainsi, une faible densité de courant (10 mA/cm^2) induit un remplissage sans défaut. Une densité de courant intermédiaire (15 mA/cm^2) génère un remplissage avec de petits défauts alors que l'utilisation

d'une densité de courant élevée induit des défauts de vide. Une analyse plus pointue des coefficients de remplissage [12] indique que l'effet de la densité de courant sur les modèles de remplissage des TSV est expliqué par le couplage de la consommation et de la diffusion d'ions et d'additifs de cuivre.

4.2 Résultats de remplissage en différentes densités

La Figure 5.17 montre les images MEB vues en coupe transversale pour le remplissage des TSV correspondant à des densités de courant de 10 mA/cm², 15 mA/cm², 20 mA/cm². On peut constater qu'un changement de la densité de courant induit un changement du modèle de remplissage. Pour une densité de 10mA, les TSV ont été entièrement remplis sans défaut en 120 mn, comme indiqué sur la figure 5.17 (a). Cependant, lorsque la densité de courant passe à 15mA, de petits défauts de vide apparaissent en 90 mn. Une augmentation de la densité de courant à 20 mA/cm² génère des défauts de vides importants à la durée de 70 mn.

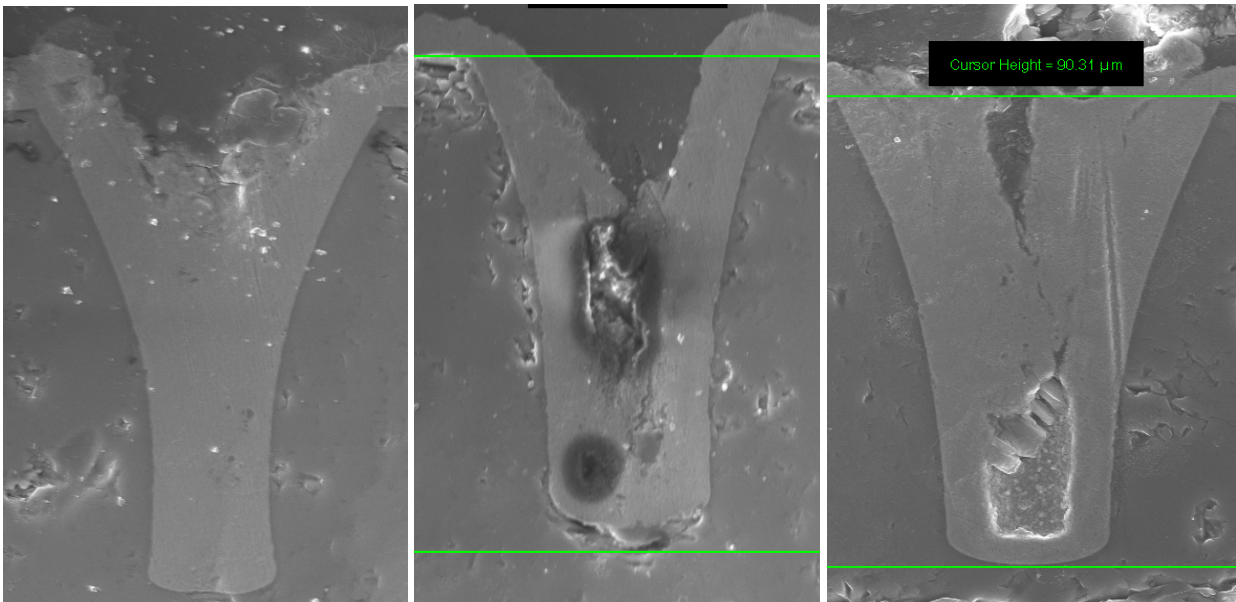


Figure 5. 7 : Coupe transversale du remplissage d'un TSV pour différentes densités de courant :
(a)10mA/cm² ,(b) 15mA/cm² ,(c) 20mA/cm²

Par conséquent, une densité de courant faible est privilégiée mais au détriment d'un temps de dépôt beaucoup plus long [12].

4.2.1 Processus du remplissage de TSV avec une densité de courant faible

Pour étudier plus en détail le processus du remplissage des TSV, on a effectué des tests d'électroplaquage avec différentes durées allant de 20 à 120 mn. La densité de courant utilisée est de 10 mA/cm^2 . Les résultats expérimentaux sont représentés figure 5.18. Après un dépôt de 20 et 40 mn, l'épaisseur du métal déposé dans le fond et les parois du motif est quasiment uniforme. Le profil de remplissage se présente en forme de U. Quand on augmente le temps à 50 min, le dépôt sur le fond est un peu plus rapide que sur les parois et commence à se rendre chanfreiné comme le montre la figure 5.18 (c). Après 90 minutes d'électrodéposition, le fond du via se remplit parfaitement avec une vitesse plus rapide que sur le haut. Le profil devient large en haut et petit au fond avec une forme en V comme illustré figure 5.18 (d). Le dépôt au fond de via reste toujours plus rapide qu'une surface brute pour les 30 mn restant (Figure 5.18 (e)).

4.2.2 Processus de remplissage dynamique de TSV avec des densités de courant moyenne et élevée

On peut observer clairement le processus de remplissage dynamique sous une densité de courant 15 mA/cm^2 comme le montre la Figure 5.19. Le dépôt de cuivre sur le fond et sur les parois latérales est quasiment identique dans les durées de 20min et 40min. Plus précisément, au cours des 40 premières minutes, l'épaisseur du cuivre au fond est légèrement supérieure que sur les parois. Toutefois, et à partir de 40 minutes de dépôt, l'épaisseur électro-déposée sur les parois et en surface dépasse graduellement celle au fond du via. Une longue rupture de remplissage au centre du via apparaît alors à partir de 60 minutes et va se refermer complètement laissant un défaut de remplissage au centre après 120minutes.

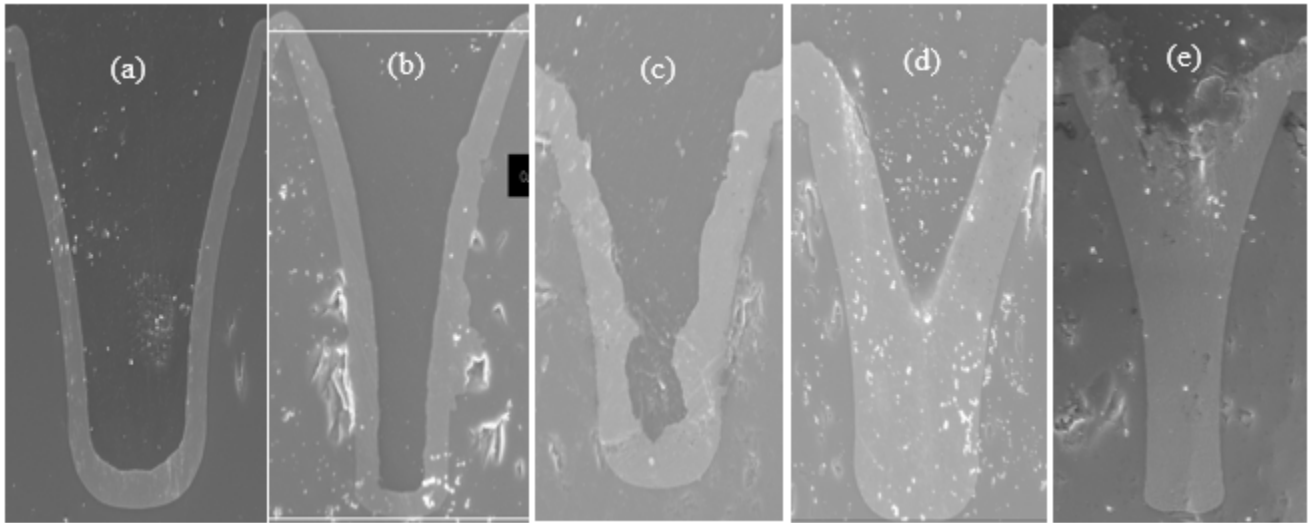


Figure 5. 8 : Visualisation du cuivre déposé dans des via de 25µm avec une densité de 10mA/cm² : (a)-20min (b)-40min, (c)-50min, (d)-90min, (e)-120min

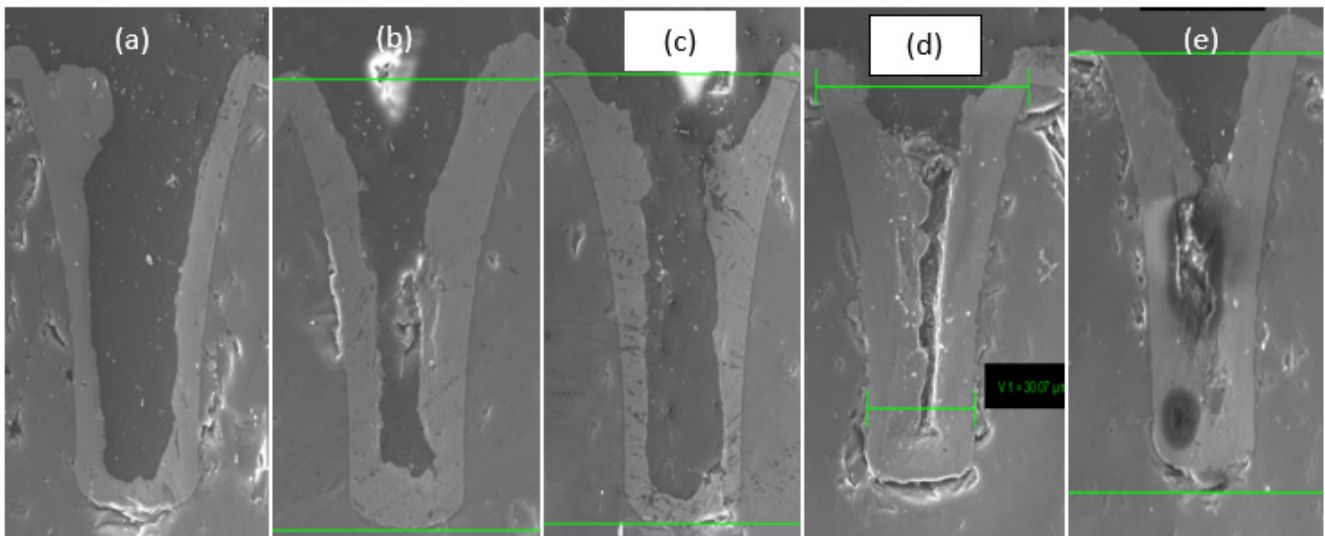


Figure 5. 9 : Visualisation du cuivre déposé dans des via de 25µm avec une densité de 15mA/cm²:

(a)-20min (b)-30min, (c)-40min, (d)-60min, (e)-90min

Pour une densité de courant de 20mA/cm², on constate le même comportement de remplissage qu'avec une densité de courant intermédiaire. Toutefois, le défaut de remplissage vers la fin est

nettement plus prononcé et présente une lacune au fond du via. Le taux de dépôt sur les parois augmente progressivement par rapport à celui dans le fond du via.

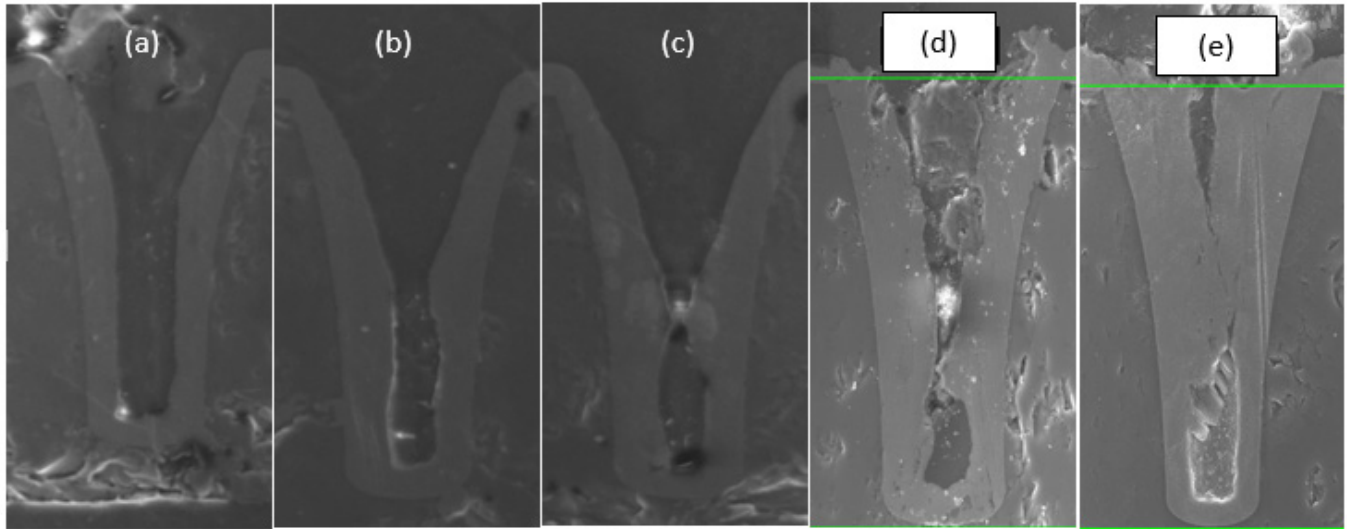


Figure 5. 20 : Visualisation du cuivre déposé dans des vias de 25µm avec une densité de 20mA/cm²: (a)-30mn(b)-40mn, (c)-50mn, (d)-60mn, (e)-70mn

4.3 Discussion des résultats sur l'effet de la variation de la densité de courant

4.3.1 Impact de la densité de courant sur les formes de remplissage

La figure 5.21 montre des résultats de remplissage des vias en coupes transversales. Les remplissages sont effectués avec les mêmes niveaux de charge électrique (Q), correspondant à des densités de courant de 7 mA/cm², 10 mA/cm², 15 mA/cm², 20 mA/cm² ($Q = I_{xt}$). On remarque que les épaisseurs de cuivre déposées dans la surface intérieure des motifs ne sont pas les mêmes et changent suivant la valeur de la densité de courant. Pour permettre d'évaluer le modèle de remplissage du via, on peut définir le coefficient de remplissage (Figure 5.21) comme étant le rapport entre l'épaisseur inférieure dans le fond du via et celle sur la partie supérieure du via [9]. Pour chaque densité de courant correspond un coefficient de remplissage déduit de la visualisation MEB des coupes transversales.

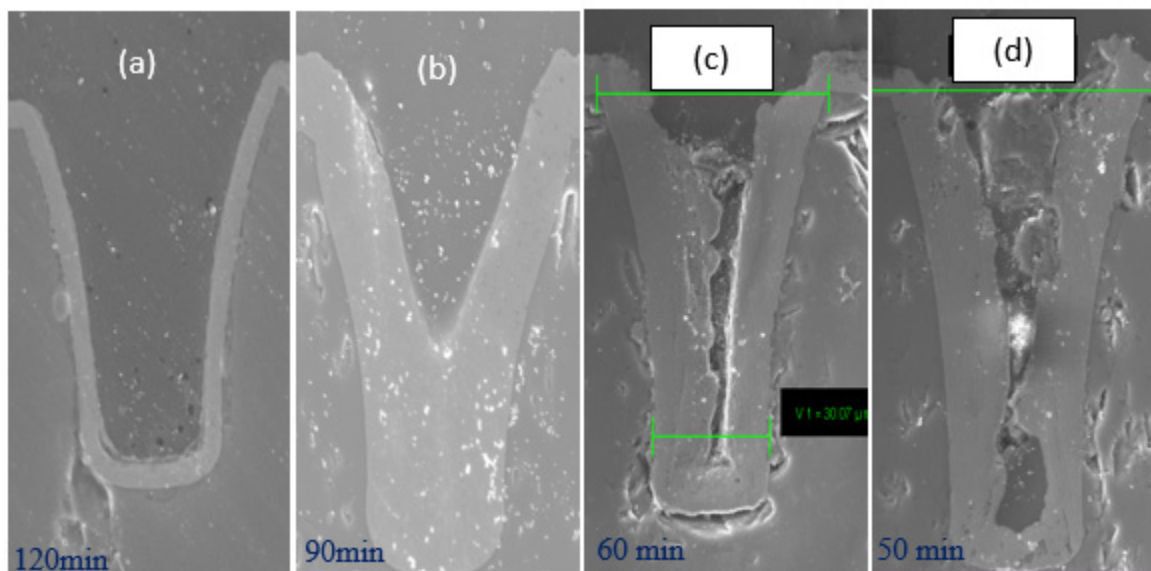


Figure 5. 10 : Vias rempli de cuivre électrodéposé sous un même niveau de charge électrique et sous différentes densités électriques, (a) $7\text{mA}/\text{cm}^2$, (b) $10\text{mA}/\text{cm}^2$, (c) $15\text{mA}/\text{cm}^2$, (d) $20\text{mA}/\text{cm}^2$

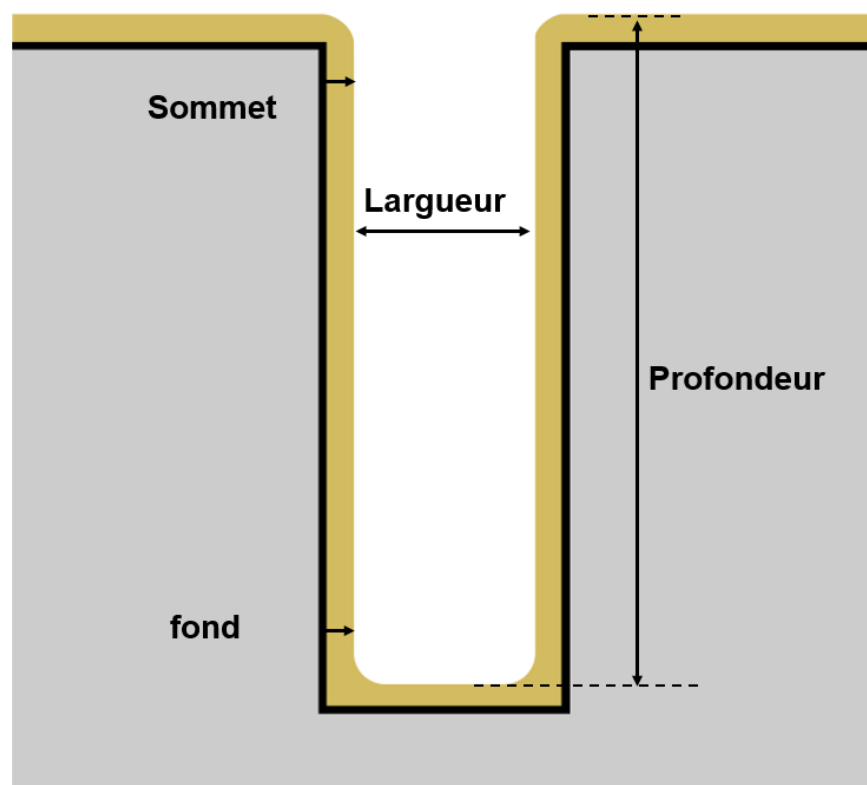


Figure 5. 11 : Schématisation d'un via pour le calcul du coefficient de remplissage et du rapport d'aspect dynamique.

La figure 5.23 présente les coefficients de remplissage calculé à partir des images MEB de TSV représentés dans la figure 5.21. Le coefficient de remplissage passe de 1,12 à 1,7 suivant le changement de la densité de courant de 7mA/cm^2 à 10mA/cm^2 . Cette valeur sera considérablement réduite à 0,55 pour la densité de courant 15mA/cm^2 et à 0,56 pour la densité de courant 20mA/cm^2 .

Par conséquent, sous les conditions de basse densité de courant 7mA/cm^2 , la vitesse de dépôt au bas est légèrement supérieure à celle en haut des parois. Cette différence entre les deux taux de dépôt du fond et du sommet augmente d'une manière rapide sous les conditions de faible densité de courant (10mA/cm^2). Par contre, cette différence de coefficient diminue tout en passant vers les conditions de moyenne et haute densité de courant (20mA/cm^2).

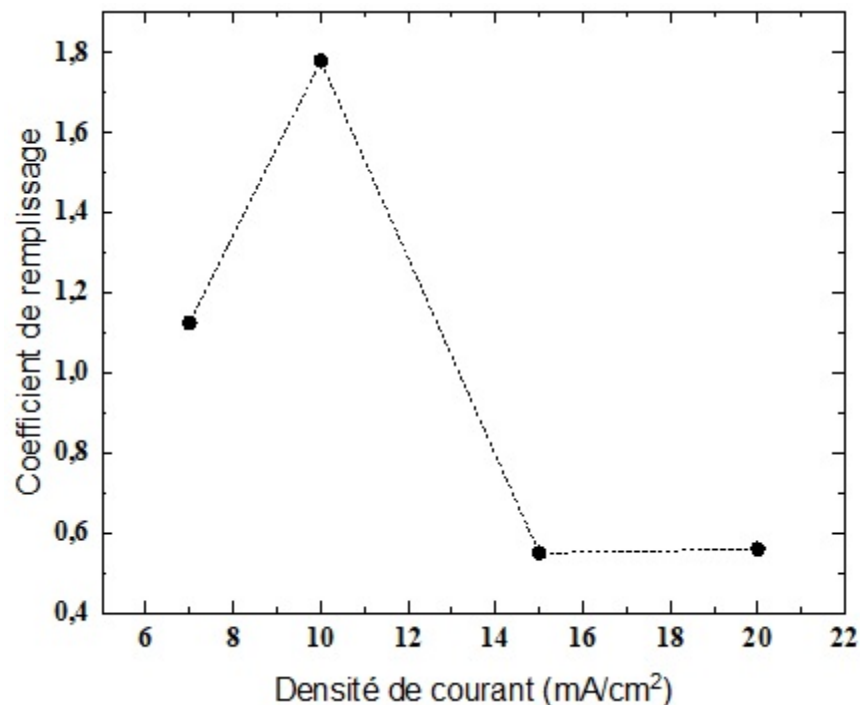


Figure 5. 12 : représentation schématique des coefficients de remplissage des via sous différentes densités de courant

Ces phénomènes de variations de taux de dépôt sont causés par la variation dynamique des additifs et des ions de cuivre dans la solution électrolytique. La vitesse ou taux de dépôt dépend des conditions de densité de courant utilisée. Généralement, le taux de dépôt global avec de très faible densité de courant est réduit. Ainsi, les ions de cuivre et les additifs ont suffisamment le temps

pour diffuser vers le fond du via [12]. Alors l'adsorption compétitive entre les éléments accélérateurs et les éléments supprimeurs est presque uniforme durant l'électrodéposition. Dans ce cas, le cuivre est déposé avec une épaisseur uniforme sur la totalité de motif. En incrémentant davantage vers une faible densité de courant, la forme de remplissage ne reste plus uniforme. Grâce à leurs petits poids moléculaires, les accélérateurs arrivent au fond beaucoup plus que les inhibiteurs. Cela accentue les réactions chimiques au fond plus qu'au sommet, ce qui explique la croissance du coefficient de remplissage dans la plage $[7\text{mA}/\text{cm}^2\text{-}10\text{mA}/\text{cm}^2]$ [12]. En augmentant la densité vers des valeurs moyennes et élevées, le taux de dépôt augmente, la différence de concentration des inhibiteurs et accélérateurs s'incrémente aussi et la vitesse de réaction devient plus grande que la diffusion des ions de cuivre vers le fond. On obtient alors une épaisseur de cuivre déposée au sommet plus large qu'à la base. Cela induit un modèle de remplissage non uniforme et provoque des défauts de remplissage à moyenne densité de courant ($15\text{mA}/\text{cm}^2$) et des vides dans le remplissage en densité de courant élevée ($20\text{mA}/\text{cm}^2$).

4.3.2 Impact du facteur de forme dynamique sur la forme du remplissage

La figure 5.24 présente l'effet du rapport d'aspect dynamique sur le taux de dépôt au fond et au sommet du via pour une densité de courant moyenne de $15\text{mA}/\text{cm}^2$. On parle du facteur de forme dynamique puisqu'on mesure à un instant donné la profondeur et la largeur du via plein qui prennent des valeurs variables suivant le processus de remplissage. On calcule le taux de dépôt local en mesurant l'épaisseur déposée sur l'intervalle de durée du dépôt. La figure 5.24-a indique que le rapport d'aspect varie d'une valeur de 2.85 au début de l'électrodéposition à 13.83 après 60mn. Sur la figure 5.24-b, le taux de dépôt au fond de via commence à $0.65\text{um}/\text{mn}$ après 20min et commence à baisser jusqu'à la valeur de $0.4\text{um}/\text{mn}$ à l'instant 60 mn. Par contre, le dépôt au sommet augmente pour atteindre un maximum de $0,8\text{um}/\text{mn}$ à l'instant 40 mn et reste toujours supérieur à celui du fond jusqu'à la fin du procédé de l'électrodéposition.

En fait, au fur et à mesure que le rapport d'aspect dynamique augmente dans le temps (suivant la variation dynamique du dépôt au fond et au côtés latérales), les ions de cuivre diffusent moins rapidement vers le fond du via, ce qui diminue le taux de dépôt dans le fond et favorise une vitesse de dépôt plus élevée en surface.

Progressivement, la différence de taux de dépôt entre la partie supérieure et inférieure du via augmente et induit des défauts de remplissage ou des vides comme pour le cas d'une densité de courant élevée.

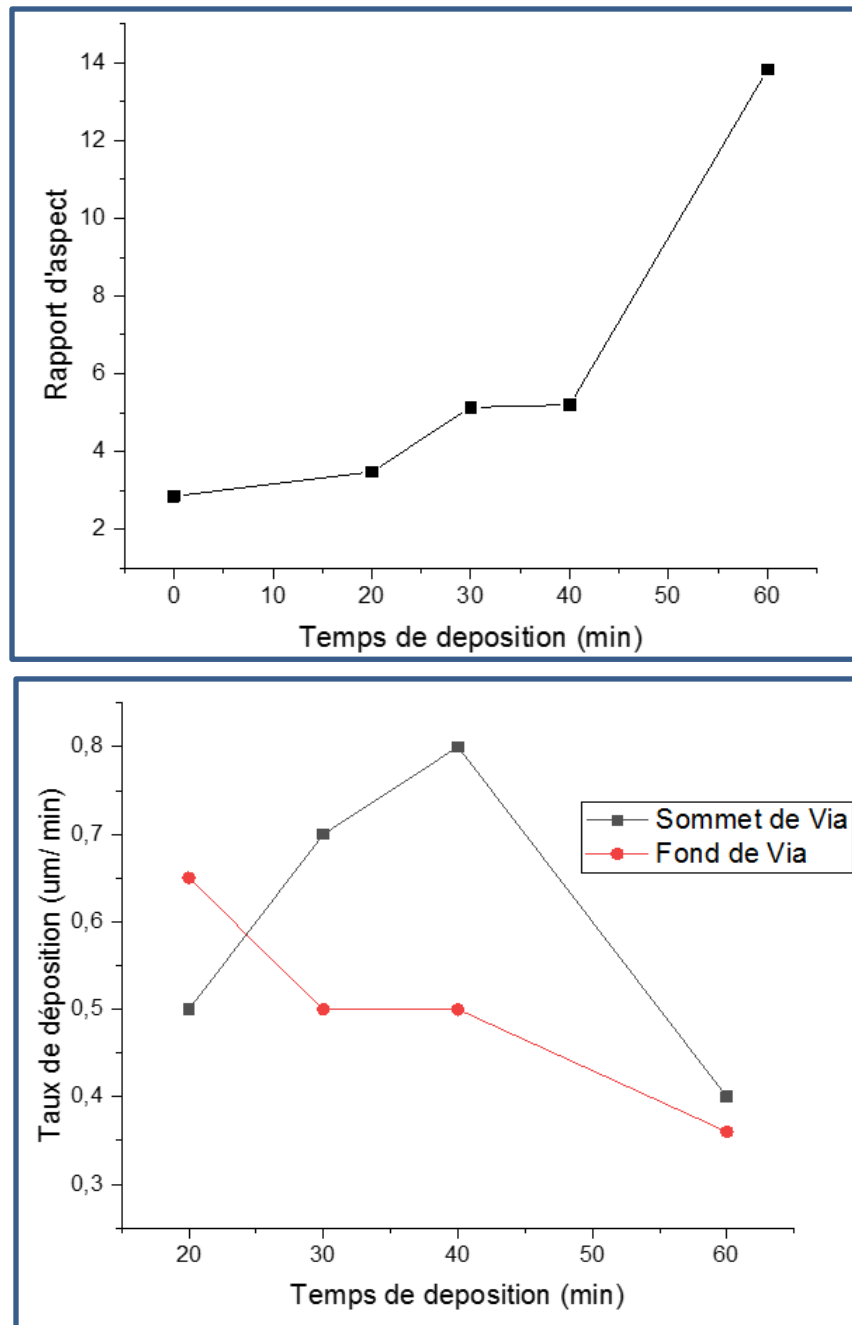


Figure 5. 13 : Impact du rapport d'aspect dynamique sur le taux de dépôt local. (a)- rapport d'aspect dynamique en fonction de temps de dépôt. (b)- variation de taux de dépôt au sommet et au fond des parois du via.

Dans cette étude d'électro-plaquage, on a pu démontrer la variation et l'évolution du remplissage dynamique des vias dans le silicium à travers de tests temporels effectués sous des différentes densités de courant. On a ainsi pu déterminer la densité de courant optimale pour un remplissage en cuivre sans défauts à 10mA/cm^2 . La synergie de consommation et de diffusion des ions et des additifs constitue l'élément majeur pour comprendre et expliquer l'influence de la densité de courant sur le modèle de remplissage des TSV. On a ainsi relevé que la morphologie du remplissage est influencée par la dynamique du rapport d'aspect en particulier pour les moyennes et hautes densités de courant.

CHAPITRE VI : Conclusion

Ce travail concerne la gravure et la métallisation des vias dans le substrat de silicium en vue de l'introduire dans la réalisation d'un transistor GaN destiné aux applications de puissances. Le but se présente la réalisation de via silicium face arrière métalliques pouvant servir en même temps à récupérer le contact face avant et à augmenter la capacité du dégagement de chaleur du transistor GaN.

Le cahier des charges établi prescrit la réalisation de vias ayant des formats coniques avec des pentes positives pour assurer un bon remplissage métallique. La première étape de gravure que j'ai utilisée a été le procédé Bosch avec la recette standard « Deep » dans la chambre de gravure ASE (voir les valeurs des paramètres de la recette en chapitre 5). Une gravure de 115um est bien effectuée pour les vias de diamètres 25um, 10um, et 05um. La deuxième étape de gravure consiste à l'utilisation du Plasma SF₆ -(voir les valeurs des paramètres de gravure en chapitre 5) - qui sert à graver les 5um restants. Cette étape sert aussi à ajuster la forme verticale et la rugosité des flancs créées par la gravure Bosch. Les formes obtenues après l'expérimentation présentent des formes coniques d'une grande ouverture en surface de la face arrière de silicium et d'une petite ouverture dans le fond. La profondeur de gravure obtenue est à peu près d'une valeur de 95um (marge d'erreur de 5%). Les pentes mesurées sont entre 82° et 85° vérifiant ainsi la contrainte dans le cahier des charges. Aussi, les ouvertures en haut et en fond du via après le procédé correspondent aux valeurs prescrites dans l'objectif.

Le procédé de gravure est après suivi d'une pulvérisation d'une tri-couche TiO₂/Ti/Cu. Les deux couches métalliques Ti/Cu servent de cathode pour l'électrodéposition de cuivre lors du remplissage des TSV par procédé standard d'électroplaquage.

La densité de courant optimale de l'électroplaquage a été expérimentée et obtenue à une valeur de 10mA/cm². Elle nous a permis un remplissage métallique total sans défauts. On a démontré aussi que suivant la variation de densités de courant, la morphologie du remplissage des vias est influencée par le couplage de la consommation et la diffusion des ions et additifs dans la solution chimique.

Le procédé global a été réalisé sur la face arrière d'un substrat de silicium. Les résultats obtenus peuvent être exploités dans la réalisation d'une connexion verticale dans le support de silicium d'une hétérostructure GaN. Une étude et analyse thermique devrait après s'effectuer afin de démontrer la contribution des vias métallisées dans la bonne gestion thermique des transistors GaN. Il serait également pertinent d'évaluer et de caractériser l'amélioration constatée de la performance et de la fiabilité du dispositif conçu avec les vias métalliques.

V.II Bibliographie

- [1] O. Arenas, “Développement d’une nouvelle méthode de caractérisation électrothermique de transistors en nitrure de gallium,” 2015.
- [2] D. E. S. Facult, D. Sp, M. B. Jury, and H. Maher, “Réalisation de transistors à haute mobilité électronique à enrichissement à base d ’ hétérostructure AlGa_N / Ga_N pour les applications en électronique de puissance,” 2015.
- [3] S. Nuttinck, B. Banerjee, S. Venkataraman, J. Laskar, and M. Harris, “High temperature performances of AlGa_N/Ga_N power HFETs,” pp. 221–223, 2003.
- [4] S. C. Ko *et al.*, “Micromachined stress-free TSV hole for AlGa_N/Ga_N-on-Si (1 1 1) platform-based devices,” *J. Micromechanics Microengineering*, vol. 23, no. 3, 2013.
- [5] T. Dequivre, “Electrogreffage De Poly-4- Vinylpyridine Pour L’ Isolation D’ Interconnexions Verticales De Cuivre En Integration 3D De Microsystemes,” p. 171, 2017.
- [6] E. Le Bourhis *et al.*, “Remplissage en polymère des via traversant (TSV) pour des applications 3D-Wafer Level Packaging,” no. Ed 352, 2013.
- [7] S. Avertin, “Développement et caractérisation de procédés de gravure plasma de T.S.V (Through Silicon Via) pour l’Intégration Tridimensionnelle de Circuits Intégrés,” 2012.
- [8] P. Bezard, “Développement de procédés de gravure plasma innovants pour les technologies sub-14 nm par couplage de la lithographie conventionnelle avec l ’ approche auto-alignée par copolymère à blocs .,” 2016.
- [9] B. Etching and D. Structures, “A Deep Silicon RIE Primer Bosch Etching of Deep Structures in Silicon,” *Power*, no. April, 2009.
- [10] Wen-Wei Shen and Kuan-Neng Chen, “Three-Dimensional Integrated Circuit (3D IC) Key Technology: Through-Silicon Via (TSV),” January 2017.
- [11] J. Zhang, W. Luo, Y. Li, L. Gao, and M. Li, “Wetting process of copper filling in through silicon vias,” *Appl. Surf. Sci.*, vol. 359, pp. 736–741, 2015.
- [12] F. Wang, Z. Zhao, N. Nie, F. Wang, and W. Zhu, “Dynamic through-silicon-via filling process using copper electrochemical deposition at different current densities,” *Sci. Rep.*, vol. 7, no. April, pp. 2–10, 2017.